

(19) 日本国特許庁 (JP)

再公表特許 (A 1)

(11) 国際公開番号

WO 96/00408

発行日 平成8年(1996)10月29日

(43) 国際公開日 平成8年(1996)1月4日

(51) Int. Cl. ⁶

G 0 2 F 1/133

識別記号

庁内整理番号

F I

1/136

審査請求 未請求 予備審査請求 未請求 (全70頁)

出願番号 特願平8-502993
 (21) 国際出願番号 PCT/JP94/01020
 (22) 国際出願日 平成6年(1994)6月24日
 (81) 指定国 EP (DE, FR, GB), CN
 , JP, KR, US

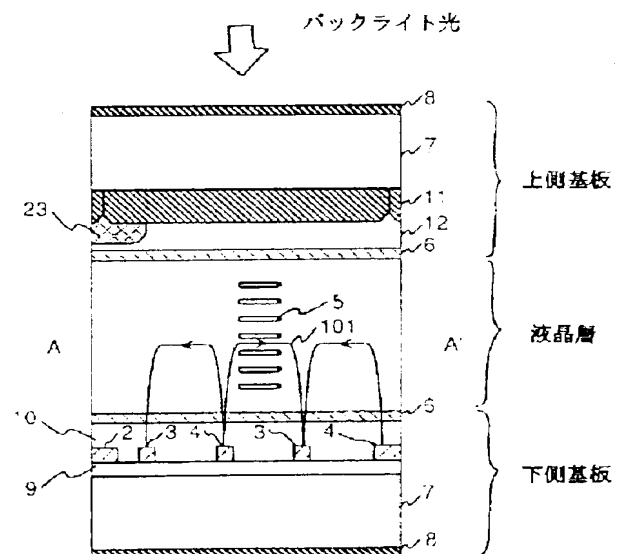
(71) 出願人 株式会社日立製作所
 東京都千代田区神田駿河台4丁目6番地
 (72) 発明者 太田 益幸
 茨城県勝田市堀口612-1
 (72) 発明者 近藤 克己
 茨城県勝田市青葉町19-21
 (72) 発明者 大江 昌人
 茨城県日立市幡川町6-20-3
 (74) 代理人 弁理士 高田 幸彦

(54) 【発明の名称】 マタリイマトリクス型液晶表示装置及びその駆動方法

(57) 【要約】

低消費電力で明るくかつクロストークの発生しない高画質の薄膜トランジスタ型液晶表示装置である。基板面にほぼ平行に電界を印加する電極(3, 4)、液晶組成物(5)、偏光手段により明状態と暗状態を得る素子構成と、走査電極に2値以上の非選択電圧を有する走査信号を出力する駆動手段を有する。

図 1



【特許請求の範囲】

1. 一方の面に、複数の走査電極、前記複数の走査電極と交差して形成された複数の信号電極、前記複数の走査電極と複数の信号電極の各交差部に形成されたスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向して形成された基準電極とを有する第1の基板と、

前記第1の基板と対向して配置された第2の基板と、

前記第1の基板と第2の基板との間隙に挿入された液晶組成物と

前記複数の走査電極の各々に2値以上の非選択電圧を有する走査信号を印加する走査電極駆動回路と、

前記複数の信号電極の各々に画像信号を供給する信号電極駆動回路とを備え、前記画素電極と基準電極との間に電圧を印加して前記液晶組成物に電界を与え、表示を行うアクティブマトリクス型液晶表示装置。

2. 前記基準電極は、複数の画素にわたって共通の電位を有する共通電極であることを特徴とする請求の範囲第1項に記載のアクティブマトリクス型液晶表示装置。

3. 前記基準電極は、前記走査電極に接続されていることを特徴とする請求の範囲第1項に記載のアクティブ

マトリクス型液晶表示装置。

4. 前記スイッチング素子のしきい値 V_{TH} と、明状態または暗状態を得る画素電極と基準電極の間の最大電圧 V_{ON} の関係が次式

$$V_{TH} > |V_{ON}|$$

を満足するように構成されたことを特徴とする請求の範囲第3項に記載のアクティブマトリクス型液晶表示装置。

5. 前記スイッチング素子のしきい値 V_{TH} と、明状態または暗状態を得る画素電極と基準電極の間の最大電圧 V_{ON} 、明状態または暗状態を得る画素電極と基準電極の間の最小電圧 V_{OFF} の関係が次式

$$V_{TH} > (|V_{ON}| + |V_{OFF}|) / 2$$

を満足するように構成されたことを特徴とする請求の範囲第3項に記載のアクテ

ィブマトリクス型液晶表示装置。

6. 各走査電極に対応する前記スイッチング素子が、前記複数の走査電極の1行毎にp型及びn型の特性を有するように構成されたことを特徴とする請求の範囲第3項に記載のアクティブマトリクス型液晶表示装置。

7. 前記スイッチング素子は1画素に少なくとも2つ形成され、第1のスイッチング素子のソース電極またはドレイン電極は信号電極に接続され、第2のスイッチング素子のソース電極またはドレイン電極は前記第1スイ

ッチング素子及び第2のスイッチング素子のゲート電極に対応した走査電極とは隣の走査電極に接続されていることを特徴とする請求の範囲第1項に記載のアクティブマトリクス型液晶表示装置。

8. 前記第2のスイッチング素子は前記隣の走査電極に容量素子を介して接続されていることを特徴とする請求の範囲第7項に記載のアクティブマトリクス型液晶表示装置。

9. 明状態を得る電圧と暗状態を得る電圧の差が5V以下になるように、液晶組成物、ラビング方向、偏光板の配置、基板間距離及び画素電極と基準電極の間の距離が設定されていることを特徴とする請求の範囲第1項乃至第8項のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

10. 一方の面は、複数の走査電極、前記複数の走査電極と交差して形成された複数の信号電極、前記複数の走査電極と複数の信号電極の各交差部に形成されたスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向して形成された基準電極とを有する第1の基板と、

前記第1の基板と対向して配置された第2の基板と、

前記第1の基板と第2の基板との間隙に挿入された液

晶組成物と

前記複数の走査電極の各々に走査信号を印加する走査電極駆動回路と、

前記複数の信号電極の各々に画像信号を供給する信号電極駆動回路と

を備え、前記画素電極と基準電極との間に電圧を印加して前記液晶組成物に電界

を与え、表示を行うアクティブマトリクス型液晶表示装置の駆動方法において、

前記走査信号の非選択電圧は2値以上であることを特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

1 1. 前記走査電極に印加される走査信号の非選択電圧を変化させ、主として走査電極と画素電極の間の容量を用いて画素電極の電圧を変化させることを特徴とする請求の範囲第10項に記載のアクティブマトリクス型液晶表示装置の駆動方法。

1 2. 前記走査電極に印加される走査信号の非選択電圧を全ての行において、同振幅、同周期、同位相で変化させることを特徴とする請求の範囲第10項に記載のアクティブマトリクス型液晶表示装置の駆動方法。

1 3. 一方の面に、複数の走査電極、前記複数の走査電極と交差して形成された複数の信号電極、前記複数の

走査電極と複数の信号電極の各交差部に形成され、しきい値 V_{TH} が、明状態または暗状態を得る画素電極と基準電極の間の最大電圧 V_{ON} 、明状態または暗状態を得る画素電極と基準電極の間の最小電圧 V_{OFF} の差の $1/2$ を越えるスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向し、前記走査電極と接続して形成された基準電極とを有する第1の基板と、

前記第1の基板と対向して配置された第2の基板と、

前記第1の基板と第2の基板との間隙に挿入された液晶組成物と

前記複数の走査電極の各々に走査信号を印加する走査電極駆動回路と、

前記複数の信号電極の各々に画像信号を供給する信号電極駆動回路と

を備え、前記画素電極と基準電極との間に電圧を印加して前記液晶組成物に電界を与え、表示を行うアクティブマトリクス型液晶表示装置の駆動方法において、

前記走査電極には、各フレーム毎に2値の非選択電圧を交互に有し非選択期間中は一定電位に保たれた走査信号が印加され、かつ、信号電極には、1行毎に画素電極と基準電極の間の電圧の極性が異なるように伝達される映像信号が出力されていることを特徴とするアクティブ

マトリクス型液晶表示装置の駆動方法。

14. 2値の非選択電圧の電位差を、明状態または暗状態を得る画素電極と基準電極の間の最大電圧 V_{on} と明状態または暗状態を得る画素電極と基準電極の間の最小電圧 V_{off} の和と等しく設定することを特徴とする請求の範囲第13項に記載のアクティブマトリクス型液晶表示装置の駆動方法。

15. 2値の非選択電圧の電位差を、明状態または暗状態を得る画素電極と基準電極の間の最大電圧 V_{on} と明状態または暗状態を得る画素電極と基準電極の間の最小電圧 V_{off} の和の1/2倍と等しく設定することを特徴とする請求の範囲第13項に記載のアクティブマトリクス型液晶表示装置の駆動方法。

16. 一方の面に、複数の走査電極、前記複数の走査電極と交差して形成された複数の信号電極、前記複数の走査電極と複数の信号電極の各交差部に形成され、前記複数の走査電極の1行毎にp型及びn型の特性を有するスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向し、前記走査電極と接続して形成された基準電極とを有する第1の基板と、

前記第1の基板と対向して配置された第2の基板と、

前記第1の基板と第2の基板との間隙に挿入された液

晶組成物と

前記複数の走査電極の各々に走査信号を印加する走査電極駆動回路と、

前記複数の信号電極の各々に画像信号を供給する信号電極駆動回路と

を備え、前記画素電極と基準電極との間に電圧を印加して前記液晶組成物に電界を与え、表示を行うアクティブマトリクス型液晶表示装置の駆動方法において、

p型のスイッチングトランジスタ素子を有する走査電極に印加する走査信号の非選択電圧が、n型のスイッチングトランジスタ素子を有する走査電極に印加する走査信号の非選択電圧より高く、かつ、その電位差が明状態または暗状態を得る画素電極と基準電極の間の最大電圧 V_{ON} を超えることを特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

17. 一方の面に、複数の走査電極、前記複数の走査電極と交差して形成された複数の信号電極、前記複数の走査電極と複数の信号電極の各交差部に形成され

た第1のスイッチング素子、ソース電極またはドレイン電極が前記複数の走査電極の1つと接続された第2のスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向し第2のスイッチング素子と接続し

て形成された基準電極とを有する第1の基板と、

前記第1の基板と対向して配置された第2の基板と、

前記第1の基板と第2の基板との間隙に挿入された液晶組成物と

前記複数の走査電極の各々に走査信号を印加する走査電極駆動回路と、

前記複数の信号電極の各々に画像信号を供給する信号電極駆動回路と

を備え、前記画素電極と基準電極との間に電圧を印加して前記液晶組成物に電界を与え、表示を行うアクティブマトリクス型液晶表示装置の駆動方法において、

前記走査電極から基準電圧を供給することを特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

18. 前記走査電極から供給される基準電圧が映像信号電圧の極性にともない変化することを特徴とする請求の範囲第17項に記載のアクティブマトリクス型液晶表示装置の駆動方法。

【発明の詳細な説明】**アクティブマトリクス型液晶表示装置及びその駆動方法****技術分野**

本発明は、例えばパーソナルコンピュータの表示装置として使用されるアクティブマトリクス型液晶表示装置およびその駆動方法に関する。

背景技術

現在、アクティブマトリクス型（薄膜トランジスタ型）液晶表示装置は多種多様な用途に展開し、多階調（フルカラー）化が望まれている。

ところで、液晶表示装置の表示方式には、相対向した2枚の基板のそれぞれの対向面に平面状の表示電極を形成してその間に液晶を充填し、基板面にほぼ垂直な方向の電界を液晶層に印加することで動作する、いわゆるツイステッドネマチック表示方式（縦電界方式と称する）があり、すでに世の中で実用化されている。

一方、これと異なった新しい方式として、液晶に電界を印加するための一対の電極を同一基板上に形成し、基板面にほぼ平行な方向の電界を液晶層に印加することで動作する表示方式（横電界方式と称する）が提案されている。この方式については、例えば特公昭63-21907号に記載されている。

薄膜トランジスタ型液晶表示装置において、多階調表示を行うためには、映像信号を信号電極に供給する駆動回路、所謂、信号側駆動ICから出力される電圧は、階調数に対応する多値の出力レベルを有することが必要である。例えば、16階調表示を行う場合には、信号側駆動ICは $16 \cdot 2$ （液晶は交流駆動を行わなければならないので正極と負極の2値が各階調で必要）＝32値の出力電圧を供給できなければならない。各出力は十分電流を供給できるように出力段にオペアンプを有しており、上記例では32個のオペアンプが必要である。この出力段のオペアンプは耐圧が低ければ低いほどサイズを小さくすることができ、信号側駆動ICの大きさを縮小できる。信号側駆動ICの縮小により、信号側駆動ICの量産性が良くなり、また、表示装置の外枠部分を縮小できるが、これを達成するためには、信号側の出力電圧の最大電圧を低減することが必要となる。

一方、上述の縦電界方式では、対向した一对の平面状の透明電極によって液晶層に電圧を印加するのに対し、横電界方式では同一の基板面に形成した一对の線状の不透明な電極によって電圧を印加するため、開口率が必然的に小さくなる。そのため、2つの電極間の距離をあまり狭くすることができず、2つの電極間の距離は縦電界

方式と比較して大きくなり、電界の大きさは横電界方式の方が小さくなる。したがって、同じ大きさの電界強度を得るためには、前者では後者の場合より大きな電圧を電極間に印加する必要がある。

本発明の目的は、実用上十分に低い信号側駆動回路の駆動電圧で駆動できる横電界方式のアクティブマトリクス型液晶表示装置およびその駆動方法を提供すること、及びクロストーク、特に横スミアの発生しない、画質の良好な横電界方式のアクティブマトリクス型液晶表示装置およびその駆動方法を提供することにある。

発明の開示

前記目的を達成するための本発明のアクティブマトリクス型液晶表示装置の構成は次のとおりである。

(1) 第1および第2の基板間に液晶組成物が挿入され、第1の基板には、マトリクス状に配置された複数の走査電極と信号電極により複数の画素部が構成されており、画素部にはスイッチング素子が形成されている。

スイッチング素子に接続されている画素電極と基準電極は、基板面にほぼ平行な電界を印加するように配置され、電極間の電圧により液晶組成物層の液晶分子の長軸方向を基板面とほぼ平行を保ちながら動作させ、液晶組成物の配向状態と偏光手段により明状態と暗状態を得る。

ことができる素子構成を有し、かつ、走査電極に2値以上の非選択電圧を有する走査信号を出力できる駆動手段を有するようになっている。

(2) 本発明の他の観点によれば、基準電極は走査電極、信号電極、画素電極以外に設けた共通電極である。

(3) さらに他の観点によれば、基準電極は前記画素部に隣接する走査電極の一部である。

(4) さらに他の観点によれば、スイッチングトランジスタ素子のしきい値 V_{TH} と、明状態または暗状態を得る画素電極と基準電極の間の最大電圧 V_{ON} の関係が次式

$$V_{TH} > |V_{ON}|$$

を満足する。

(5) さらに他の観点によれば、スイッチングトランジスタ素子のしきい値 V_{TH} と、明状態または暗状態を得る画素電極と基準電極の間の最大電圧 V_{ON} 、明状態または暗状態を得る画素電極と基準電極の間の最小電圧 V_{OFF} の関係が次式

$$V_{TH} > (|V_{ON}| + |V_{OFF}|) / 2$$

を満足する。

(6) さらに他の観点によれば、スイッチングトランジスタ素子が、1行毎にp型、n型の特性を有するように構成されている。

(7) さらに他の観点によれば、スイッチングトランジスタ素子が1画素に2つ以上構成され、少なくとも1つの薄膜トランジスタ素子のソース電極またはドレイン電極は信号電極に接続され、少なくとも1つの薄膜トランジスタ素子のソース電極またはドレイン電極は、後行の走査電極に電気的に接続されている。

(8) さらに他の観点によれば、スイッチングトランジスタ素子が1画素に2つ以上構成され、少なくとも1つの薄膜トランジスタ素子のソース電極またはドレイン電極は信号電極に接続され、少なくとも1つの薄膜トランジスタ素子のソース電極またはドレイン電極は、後行の走査電極に容量素子を介して走査電極に接続されている。

(9) さらに他の観点によれば、明状態を得る電圧と暗状態を得る電圧の差が5V以下になるように、液晶組成物、ラビング方向、偏光板の配置、基板間距離及び画素電極と基準電極の間の距離が設定されている。

(10) さらに他の観点によれば、走査信号の非選択電圧を2値以上出力する

(1 1) さらに他の観点によれば、走査電極に印加される走査信号の非選択電圧を変化させ、主に走査電極と画素電極の間の容量を用いて画素電極の電圧を変化させ

ている。

(1 2) さらに他の観点によれば、走査電極に印加される走査信号の非選択電圧を全ての行において、同振幅、同周期、同位相で変化させている。

(1 3) さらに他の観点によれば、走査電極には、各フレーム毎に2値の非選択電圧を交互に有し非選択期間中は一定電位に保たれた走査信号が印加され、かつ、信号電極には、1行毎に画素電極と基準電極の間の電圧の極性が異なるように伝達される映像信号が出力されている。

(1 4) さらに他の観点によれば、2値の非選択電圧の電位差は、明状態または暗状態を得る画素電極と基準電極の間の最大電圧 V_{ON} と明状態または暗状態を得る画素電極と基準電極の間の最小電圧 V_{OFF} の和と等しく設定される。

(1 5) さらに他の観点によれば、2値の非選択電圧の電位差は、明状態または暗状態を得る画素電極と基準電極の間の最大電圧 V_{ON} と明状態または暗状態を得る画素電極と基準電極の間の最小電圧 V_{OFF} の和の1/2倍と等しく設定される。

(1 6) さらに他の観点によれば、p型のスイッチングトランジスタ素子を有する走査電極に印加する走査信

号の非選択電圧の中心電圧が、n型のスイッチングトランジスタ素子を有する走査電極に印加する走査信号の非選択電圧の中心電圧より高く、かつ、その電位差が明状態または暗状態を得る画素電極と基準電極の間の最大電圧 V_{ON} を超えている。

(1 7) さらに他の観点によれば、基準電圧が走査電極から供給される。

(1 8) さらに他の観点によれば、走査電極から供給される基準電圧が映像信号電圧の極性にともない変化する。

次に、本発明の作用について説明する。

本発明の以下の作用は、非選択期間中に走査電極に供給する走査信号の非選択電圧（オフ電圧）を変化させ、画素電極と走査電極の容量結合によって画素電極の電圧を変化させる駆動方式に、横電界方式を用いることにより起き、発明者等により発見された。

（第1の作用）

横電界方式では、画素電極と共通電極の間の容量 C_{LC} が、縦電界方式と比較して小さい。なぜなら、縦電界方式では、画素電極と共通電極が平行平板容量を構成するためである。従って、横電界方式では、画素電極と走査電極の間の容量 C_S を画素電極と共通電極の間の容量 C_L

C と比較して相対的に大きくなり、その結果、走査電極の電圧変化に応じて画素電極に十分なバイアス電圧を印加することができるようになる。これにより、画素電極と走査電極の間に形成する容量係数 C_S の1画素内に占める領域の割合を低減することでき、開口率が向上する。

（第2の作用）

画素電極と共通電極の間の容量 C_{LC} が小さいため、走査電極の負荷容量も小さくなる。そのため、走査電極に変調電圧を印加する駆動方式では、変調波形の歪が少なく、非常に有利である。これにより、走査電極の負荷容量が映像によって変化する割合が軽減され、走査信号の非選択電圧の波形の歪が画像によって変化する割合も低減される。したがって、変調電圧も均一に印加され、クロストーク（横方向に筋を引く横スミア）の発生が抑制される。

（第3の作用）

横電界方式では、隣接する走査電極を基準電極として用いることができる。これにより、共通電極の領域を開口部に流用することができ、開口率が向上する。さらに、配線電極の交差点数が減少し、電極の短絡不良が減少する。

液晶を交流駆動するために基準電極に対して画素電極

に充電される電圧波形が交流波形となるように信号電極から映像信号を充電する。しかし、アクティブマトリクス型液晶表示装置に用いられている代表的なアク

タイプ素子の、アモルファスシリコン薄膜トランジスタ (a-SiTFT)、ポリシリコン薄膜トランジスタ (p-SiTFT) 等は、走査電圧が 0 V 付近でドレイン電流が流れ始める特性を有する、すなわち、しきい値電圧 V_{TH} が 0 V 付近である。したがって、走査電圧の非選択電圧 (オフレベル) を基準電圧として用いると、前記のトランジスタ素子では基準電圧に対して負の電圧は充電しても保持できない。なぜなら、走査電圧のオフレベルが画素電極電位よりも高いレベルにあるので、しきい値電圧 V_{TH} が 0 V 付近のトランジスタ素子はオン状態になり、画素電極電位は走査電圧のオフレベルまでリークしてしまうためである。よって、液晶を交流駆動するためには、基準電極を別に設け、基準電圧はゲート電圧のオフレベルよりも高いレベルに設定しなければならないが、高しきい値電圧を有するトランジスタを用いることによって、走査電極を基準電極、走査電圧のオフレベルを基準電圧として用いても負の電圧を充電、保持することができ、交流駆動が可能となる。本発明ではトランジスタはしきい値電圧 V_{TH} が液晶に印加する最大電圧 V_{ON} または最大

電圧 V_{ON} と最小電圧 V_{OFF} の差の $1/2$ を超えることを特徴とする。これにより、負の電圧を液晶に印加しても、画素電極電位はリークせず、十分な保持動作を行うことができ交流駆動でき、かつ低電圧化することができる。

また、トランジスタ素子が、1 行毎に p 型、n 型の特性を有するように構成し、p 型のスイッチングトランジスタ素子を有する走査電極に印加する走査信号の非選択電圧の中心電圧が、n 型のスイッチングトランジスタ素子を有する走査電極に印加する走査信号の非選択電圧の中心電圧より高く、その電位差が明状態または暗状態を得る画素電極と基準電極の間の最大電圧 V_{ON} を超えるようにすることにより、しきい値電圧 V_{TH} が 0 V 付近または 0 V 以下でも、液晶を交流駆動することができ、かつ低電圧化することができる。

さらに、1 画素に 2 つの薄膜トランジスタ素子を構成し、一方の薄膜トランジスタ素子で映像信号電圧を、他方の薄膜トランジスタ素子で後行の走査電極から基準電圧を供給することにより、液晶を交流駆動することができる。さらに、映像信号電圧の極性と共に基準電圧を変化させることにより、低電圧化できる。

図面の簡単な説明

図1は、本発明の実施例1の液晶表示装置の断面図

(図3A-A'線)である。

図2は、隣接画素を含む実施例1の画素構造の正面図を示す図である。

図3は、本発明の実施例1における画素の構造の正面図を示す図である。

図4は、図3B-B'線に側断面図を示す図である。

図5は、図3C-C'線に側断面図を示す図である。

図6は、本発明の実施例1の表示装置の回路構成を示す図である。

図7は、本発明の実施例1の駆動波形を示す図である。

図8は、本発明の実施例2の駆動波形を示す図である。

図9は、隣接画素を含む実施例3の画素構造の正面図を示す図である。

図10は、本発明の実施例3における画素の構造の正面図を示す図である。

図11は、図10D-D'線に側断面図を示す図である。

図12は、本発明の実施例3の表示装置の回路構成を示す図である。

図13は、本発明の実施例3の駆動波形を示す図である。

図14は、隣接画素を含む実施例4の画素構造の正面

図を示す図である。

図15は、本発明の実施例4における画素の構造の正面図を示す図である。

図16は、本発明の実施例4の表示装置の回路構成を示す図である。

図17は、本発明の実施例4の駆動波形を示す図である。

図18は、本発明の実施例5の駆動波形を示す図である。

図19は、本発明の実施例6の駆動波形を示す図である。

図20は、本発明の実施例7の駆動波形を示す図である。

図21は、本発明の実施例8における画素の構造の正面図を示す図である。

図22は、実施例8における画素の透過回路を示す図である。

図23は、図21E-E'線に側断面図を示す図である。

図24は、図21F-F'線に側断面図を示す図である。

図 2 5 は、図 2 1 G-G' 線に側断面図を示す図であ

る。

図 2 6 は、本発明の実施例 8 の表示装置の回路構成を示す図である。

図 2 7 は、本発明の実施例 8 の駆動波形を示す図である。

図 2 8 は、本発明の実施例 9 における画素の構造の正面図を示す図である。

図 2 9 は、実施例 9 における画素の透過回路を示す図である。

図 3 0 は、本発明の実施例 10 の駆動波形を示す図である。

図 3 1 は、本発明の液晶表示装置における液晶の動作を示す図である。

図 3 2 は、電界方向に対する、界面上の分子長軸配向方向（ラビング方向） ϕ LC、偏光板偏光軸方向 ϕ P のなす角を示す図である。

図 3 3 は、本発明の実施例 1 の電気光学特性を示す図で、ノーマリクローズ型の例を示す図である。

図 3 4 は、電気光学特性の界面上の分子長軸配向方向（ラビング方向） ϕ LC 依存性を示す図であり、ノーマリクローズ型の例を示す図である。

発明を実施するための最良の形態

〔実施例 1〕

図 1 は、液晶パネルの 1 画素領域の断面構造を示す。液晶パネルは上側基板と下側基板及び両者の間隙に充填された液晶層とからなっている。下側基板に形成された画素電極 3 と共通電極 4 の間に電圧を印加して両電極間に形成される電界を制御し、液晶の配向状態を制御してパネルを透過するバックライト光の透過率を変化させる。液晶パネルのバックライトとは反対側から見た場合、画素電極と共通電極との間に印加する電圧を制御することによって明状態、暗状態あるいは両者の中間状態が観察される。画素電極と共通電極は図 1 の紙面と直角な方向に線状に延び、それらの間の距離は約 $1.5 \mu\text{m}$ である。また、液晶層の厚みは約 $4 \mu\text{m}$ と画素電極と共通電極間の間隔 $1.5 \mu\text{m}$ に比べて小さいため、液晶層の中に形成される電界 101（電気力線）の方向はほぼ図 1 の横方向になる（図 1 は、実際の装置に比べ表示パネルの厚み方向に拡大された図である）。

図3-1は、画素電極3と共通電極4と間に電圧を印加した場合と印加しない場合の液晶分子の配向状態を模式的に示したものである。(a)と(b)は液晶パネルを横から見たときの図、(c)と(d)は上または下から見たときの図である。また、(a)と(c)は電圧を印加

しないときの図、(b)と(d)は電圧を印加したときの図である。画素電極と共通電極のそれぞれに異なる電位を与えそれらの間に電位差を与えて液晶組成物層に電界を印加すると、液晶組成物が持つ誘電異方性と電界との相互作用により液晶分子が反応して電界方向にその向きを変える。図1及び図3-1に示すように、液晶パネルの上下の面には偏光板8が形成されており、液晶組成物層の屈折率異方性と偏光板との相互作用により液晶パネルを透過する光の透過率が変化する。これにより表示の明るさが変わる。

図3-2により電界方向10-1に対する界面近傍での液晶分子長軸(光学軸)方向10-2のなす角 ϕ_{LC} 、偏光板の偏光透過軸10-3のなす角 ϕ_P の定義を示す。偏光板及び液晶界面はそれぞれ上下に一对あるので必要に応じて ϕ_{P1} 、 ϕ_{P2} 、 ϕ_{LC1} 、 ϕ_{LC2} と表記する。棒状の液晶分子5は、電界無印加時には画素電極3、共通電極4の長手方向(図3-1(c)正面図)に対して若干の角度、即ち $45^\circ \leq |\phi_{LC}| < 90^\circ$ 、をもつように配向されている。図3-1、図3-2では界面上の液晶分子長軸配向(ラビング)方向10-3を矢印で示した。上下界面上での液晶分子配向方向は、望ましい1例として平行、即ち $\phi_{LC1} = \phi_{LC2} (= \phi_{LC})$ となっている。液晶組成物の誘

電異方性は正を想定している。

図3-3は画素電極と共通電極間に印加する電圧 V_{LC} と明るさとの関係を表す特性、いわゆる電気光学特性である。なお、縦軸の明るさは、明るさの最大値を100%とし、これに対する相対値として表したものである。印加電圧を増加させていくと、電圧 V_{OFF} から明るさが急に大きくなり、電圧 V_{ON} 付近まで印加電圧に対して明るさが単調に増加する特性が得られる。

図1に示すように、上側基板には、さらにカラー表示用のカラーフィルタ1-1

、画素周辺部の光の非制御領域（画素電極と共通電極間に印加する電圧によって光の透過率を制御できない領域）を透過する光を遮断しコントラストを向上させるための遮光膜（ブラックマトリクス）23、基板表面を滑らかにするための平坦化膜12、及び電圧を印加しない時に液晶分子の配向が所定の向きになるよう制御するための配向制御膜6が形成される。これらは、透明なガラスやプラスチックなどからなる基板7に形成される。

また、下側基板には、画素電極や共通電極以外に後で述べるように各種配線、画素電極に印加する電圧のスイッチングを行う薄膜トランジスタ（TFT）などが形成される。上側基板の場合と同様、これらは透明なガラス

やプラスチックなどからなる基板7に形成される。

本実施例では、基板7として例えば厚みが1.1mmで表面を研磨した透明なガラス基板を用いる。これらの基板のうち一方の基板の上に薄膜トランジスタを形成し、更にその上の最表面に配向膜6を形成した。本実施例では配向膜6としてポリイミドを採用し、その上を液晶5を配向させるためのラビング処理をした。他方の基板上にもポリイミドを塗布し同様のラビング処理をした。上下界面上のラビング方向は互いにほぼ平行で、かつ印加電界方向とのなす角度を8.8度（ $\phi_{LC1} = \phi_{LC2} = 8.8^\circ$ ）とした。これらの基板間に誘電率異方性 $\Delta\epsilon$ が正でその値が4.5であり、屈折率異方性 Δn が0.072（589nm、20℃）のネマチック液晶組成物を挟んだ。ギャップdは球形のポリマビーズを基板間に分散して挟持し、液晶封入状態で3.9 μ mとした。よって $\Delta n \cdot d$ は0.281 μ mである。2枚の偏光板8（日東電工社製G1220DU）でパネルを挟み、一方の偏光板の偏光透過軸をラビング方向より若干の角度、即ち $\phi_{P1} = 8.0^\circ$ （即ち、 $|\phi_{LC1} - \phi_{P1}| = 8^\circ$ ）に設定し、他方をそれに直交、即ち $\phi_{P2} = -1.0^\circ$ とした。これにより、本発明の画素に印加される電圧VLC（画素電極3と共通電極4の間の電圧）をゼロから徐々に増大させるに

したがって明度が減少し最小値をとる特性（図3.3）を得た。本実施例では低電圧（VOFF）で暗状態、高電圧（VON）で明状態をとるノーマリクローズ特性を

採用した。V_{OFF}は6.9V、V_{ON}は9.1Vである。尚、本実施例ではノーマリクローズを採用したが、ノーマリオープンとしても良い。また、液晶は負の誘電異方性を有するものを用いることも可能である。

図2は、下側基板の液晶層側に形成され各種電極、配線及TFTの平面的な配置を示す図である。1は走査電極（ゲート電極）で、図の横方向に伸び、互いに平行に複数本形成される。2は信号電極（ドレイン電極）で、図の縦方向に走査電極と交差して伸び、互いに平行に複数本形成される。互いに接近して設けられた2本の信号電極からなる信号電極の組が複数組形成される。信号電極の組と隣の信号電極の組との間には、共通電極4が形成される。各共通電極は、図の上下方向に伸びる幹となる部分と、その幹から左右に折れ曲がって伸びる枝の部分から構成される。図示するように、信号電極2と、これと隣合った共通電極4、及び2本と隣合った走査電極1で囲まれる領域が1画素である。各画素には走査電極上にTFT15が形成される。3は画素電極（ソース電極）で、各TFTから逆U字形に折れ曲がって伸びる。

画素電極の一部は隣の走査電極とオーバーラップし、その部分に補助容量素子16が形成される。

本実施例では、画素ピッチは、走査電極方向で110 μ m、信号電極方向で330 μ mとした。電極幅については、複数画素にまたがる形成される走査電極1、信号電極2、共通電極4で10 μ mと広くし、断線による線欠陥を回避した。一方、開口率向上のため、各画素領域に個別に形成される画素電極3及び共通電極4の幹から伸びた枝の部分の幅を若干狭くし、それぞれ6 μ mとした。加えて、横方向の2画素につき1共通電極とし、共通電極配線数を半分にした。これにより更に開口部を拡大でき、また共通電極4と走査電極1の交差部における短絡確率（電極交差面積に依存する）も減少する。本実施例では、信号電極数を640 \times 3本、走査電極数を480本、共通電極数を960本とした。この時、画素数は約100万個となる。

図3は、図2における1画素の部分をもさらに拡大したものである。前述の図1は図3のA-A'線における断面図である。図4、図5はそれぞれ図3のB-B

線及びC-C'線における断面図である。

図4に示すように、TFTは逆スタガ構造を有し、走

査電極1上にゲート絶縁膜9（例えば窒化シリコン）、その上にアモルファスシリコン層22を形成し、さらにアモルファスシリコン層と接してドレイン電極2、ソース電極3を設けて形成される。TFTのドレイン電極、ソース電極はそれぞれ信号電極、画素電極によって構成される。ドレイン電極及びソース電極とアモルファスシリコン層22の間には、図示していないが、オーミックコンタクト層としてn+型アモルファスシリコン層が形成されている。本実施例では、信号電極2、画素電極3及び共通電極4を同一の金属材料（例えばAl）によって形成した。

図5に示すように、走査電極13と画素電極3との間にゲート絶縁膜9を挟んで補助容量素子16が形成される。本実施例における補助容量素子の面積は従来の縦電界方式の場合に比べてずっと小さく、その容量値は $C_s = 2.00 \text{ fF}$ と小さい。

本実施例では、前行の走査電極と画素電極で補助容量素子を構成したが、後行の走査電極と画素電極とで構成してもよい。また、共通電極の幹の部分と横方向の隣接した2画素で共通としたが、1画素毎に共通電極の幹を設けても本発明の効果を本質的に変えるものではなく、本発明の範中である。

次に、回路構成及び駆動波形について説明する。

図6は本発明の液晶表示装置の回路構成を示す。21は表示領域であり、横方向には複数の走査電極1、縦方向には複数の信号電極2と共通電極が形成され、走査電極と信号電極の各交差部にはTFTが形成されている。TFTのゲート電極Gは走査電極に、ドレイン電極Dは信号電極に接続される。また、TFTのソース電極Sと共通電極4との間には液晶容量CLCが、ソース電極Sと前行の走査電極との間には補助容量CSが形成される。図1に示す画素電極3と共通電極4及び液晶層は、電気的には容量CLCを形成する。補助容量CSは、走査電極1の走査信号電圧が選択電圧から非選択電圧へ移るときにTFTのゲートーソース間

容量CGSを介して画素電極3の電圧に飛び込むフィールドスルー電圧を抑制するために不可欠な容量であり、CGSに対して十分大きな容量（例えば10倍程度）が必要である。

図6の18は走査電極駆動回路で、TFTの導通（オン）、非導通（オフ）状態を制御する走査電圧と後述の変調電圧を、図の上方から下方へと各走査電極に順次印加している（線順次走査）。19は信号電極駆動回路で、各信号電極に表示すべき画像信号を供給する。走査電極にTFTのオン電圧が印加されると、その走査電極に接

続されたTFTが導通状態となり、信号電極に供給された画像信号はTFTを介して液晶容量C_{LC}を構成する画素電極に印加される。17は走査電極駆動回路18及び信号電極駆動回路19の動作を制御するコントロール回路、20は共通電極に電圧を供給する共通電極駆動回路である。

本発明の特徴は、走査電極駆動回路18に3値以上を出力できるドライバLSIを用いること、または、走査電極駆動回路18から出力される電圧値が3値以上であることである。

一方、信号電極駆動回路19は、信号電極2に画像情報を担った電圧波形を印加できる回路構成であり、信号電圧波形の最大振幅V_{DP-P}（図7のV_{DH}-V_{DL}）は ΔV （図3参照： $\Delta V = V_{ON} - V_{OFF}$ ）となるようにしている。また、本実施例では、共通電極に一定電圧を印加した。

図7は本実施例において駆動回路から出力される駆動波形を示す。図7（a）は走査電極駆動回路18によりi-1番目の走査電極に印加される走査信号波形V_G（i-1）を、図7（b）は同じく走査電極駆動回路18によりi番目の走査電極に印加される走査信号波形V_G（i）を、図7（c）は信号電極駆動回路19によりj番目の信号

電極に印加される信号電圧波形V_D（j）を、図7（d）は共通電極に印加される電圧波形V_Cを示す。また、図7（e）は走査電極、信号電極及び共通電極に上記の電圧を印加した時、i番目の走査電極とj番目の信号電極の交差部に形成さ

れた画素の画素電極 3 に印加される電圧 V_S を表す。信号電極 2 には映像情報を有する信号波形が印加され、走査電極 1 には走査信号波形が映像信号波形と同期をとって印加される。信号電極 2 から T F T 1 5 を介して画素電極 3 に映像信号電圧が伝達され、共通電極 4 との間で液晶部分に電圧が印加される。ここで、走査電極 1 に供給する走査信号波形 V_G の非選択電圧（オフ電圧）を変調し、T F T 1 5 がオフ状態の時に容量結合によって画素電極 3 の電圧を変化させ、画素電極 4 の電圧にバイアス電圧 $V_B (+)$ 、 $V_B (-)$ を印加する。ここで、 $V_B (+)$ は偶フレーム（正フレーム）の時のバイアス電圧、 $V_B (-)$ は奇フレーム（負フレーム）の時のバイアス電圧を表す。これにより、画素電極 3 の電圧 V_S から共通電極 4 の電圧 V_C を引いた電圧値すなわち液晶に印加される電圧 $V_{LC} = V_S - V_C$ が、走査電極に供給する波形 V_G のオフ電圧を変調しない場合（一定電位）よりも著しく高められるようにしている。画素電極 3 にかかるバイアス電圧の振幅 $V_B (+)$ 、 $V_B (-)$ は前行の走査

電極 1 3 に供給する走査信号波形 $V_G (i-1)$ の非選択電圧を変化量 ΔV_{GL} ($\Delta V_{GL} (+) = V_{GL} - V_{GLL}$ または $\Delta V_{GL} (-) = V_{GLH} - V_{GL}$) に対して、以下のようになる。

$$V_B = (C_S / C_T) \Delta V_{GL} \quad \cdots (1)$$

ここで、 C_S は補助容量素子 1 6 の容量、 C_T は画素電極 3 から見た総容量値 ($C_S + C_{LC} + C_{GS} + C_{DS}$) を示す。従って、バイアス電圧の振幅 V_B を、ノーマリクローズ時に

$$V_B = V_{OFF} + \Delta V / 2 \quad \cdots (2)$$

ノーマリオープン時に

$$V_B = V_{ON} + \Delta V / 2 \quad \cdots (3)$$

に設定することにより、信号電極駆動回路 1 9 から信号電極 2 に、明状態を得るとき、センター電圧 $V_{D-CENTER}$ に対して $\Delta V / 2$ （偶フレームの場合）、暗状態を得るとき $-\Delta V / 2$ （偶フレームの場合）の電圧を与えれば良く、最大振幅 $V_{D-p-p} (= V_{DH} - V_{DL})$ は ΔV まで低減される（図 3 3）。（奇フレームの場合は、明状態を得るとき $-\Delta V / 2$ 、暗状態を得るとき $\Delta V / 2$ となり極性が反転する

。中間の階調を表示する電圧も同様。)

本実施例の横電界方式の液晶表示素子では、線状の画素電極3と同じく線状の共通電極4を同一基板上に平行に配置する構成であるため、液晶容量CLCが33 fFと

平面状の画素電極と共通電極を対向させて液晶容量を形成する従来の縦電界方式の約370 fF (同じ画素ピッチの場合) と比較して約10分の1程度と小さい。そこで、走査電極からバイアス電圧を印加する方式を横電界方式に用いると、TFTの寄生容量 (特にゲートソース間容量CGS) をCSと比較して十分小さく設定すれば、 $C_T = C_S$ となり、(数1) より非選択電圧の変化量 ΔV_{GL} がそのままバイアス電圧VBになり、十分なバイアス電圧を印加することができる。

なお、本実施例では、図7の電圧波形の設定値を、 $V_{D-CENTER} = 23.0V$ 、 $V_{GH} = 28.6V$ 、 $V_{GL} = 0$ 、 $V_{DH} = 24.5V$ 、 $V_{DL} = 21.6V$ 、 $V_{GLH} = 9.0V$ 、 $V_{GLL} = -9.0V$ 、 $V_C = 22.3V$ とした。その結果、ゲート電極とソース電極の間の寄生容量CGSによる電圧変動 $\Delta V_{GS}(+)$ 、 $\Delta V_{GS}(-)$ 、 ΔV_B 、バイアス電圧VB、液晶印加電圧VLCの実効値 V_{rms} は表1のようになった。

表1 各種電圧値

表示状態	$\Delta V_{GS}(+)$	$\Delta V_{GS}(-)$	$V_B(+)$	$V_B(-)$	$\Delta V_B(-)$	$\Delta V_B(+)$	V_{rms}
明	0.44	0.82	7.61	7.61	0.14	0.14	9.11
暗	0.59	0.78	8.31	8.31	0.15	0.15	6.80

表1のように、液晶印加電圧VLCの最大電圧は9.11Vで明状態を得る電圧 V_{ON} と等しく、最小電圧は6.80Vで暗状態を得る電圧 V_{OFF} と等しくなり、図33に示される明るさ曲線の最大値と最小値を得ることができ、十分に高いコントラスト比80が得られ、なおかつ、信号電圧波形の最大振幅 $V_{DP-P} = V_{DH} - V_{DL} = 2.9V$ と低電圧化できた。

ここで、本実施例のような走査電圧波形では、走査信号電圧の選択電圧 V_{GH} 、非選択電圧のうち高い方の電圧 V_{GLH} は、次の条件を満たすように設定しなけれ

ばならない。

$$V_{GH} \geq V_{DH} + V_{TH} + V_M \quad \dots (4)$$

$$V_{GLH} \leq V_{S1} + V_{TH} - V_M \quad \dots (5)$$

ここで、 V_{S1} は図7(e)に示す電圧値であり、 $V_{S1} = V_{DL} - \Delta V_{GS}(-) - V_B(-)$ である。 V_{TH} はTFTのしきい値電圧、 V_M は、TFTが確実にオン/オフ動作するためのマージン電圧である。本実施例では $V_{TH} = 0\text{ V}$ であり、 $V_M = 4\text{ V}$ として上記電圧を設定した。また、共通電極電圧 V_C は直流成分を補正するためにセンター電圧 $V_{D-CENTER}$ から $\Delta V_C = 0.5\text{ V}$ だけ低く設定してある。

さらに、前行の走査電圧 $V_G(i-1)$ がオン電圧 V_{GH} から

非選択電圧 V_{GLH} または V_{GLL} に立ちさがるタイミングと t_d の時間差をつけて走査電圧 $V_G(i)$ をオン電圧 V_{GH} に立ちあげ、前行の走査電圧 $V_G(i-1)$ が非選択電圧 V_{GLH} または V_{GLL} からオフ電圧 V_{GL} に立ちさがる、または立ち上がるタイミングと t_d2 の時間差をつけて走査電圧 $V_G(i)$ の非選択電圧 V_{GLH} 、 V_{GLL} に立ちさげる。これは電圧波形の歪を考慮したもので本実施例では t_d1 、 t_d2 ともに $3\text{ }\mu\text{ S}$ とした。(但し、本実施例のように、補助容量素子16が前行の走査電極に接続され、かつ、前行から順次走査する場合、または、補助容量素子16が後行の走査電極に接続し、かつ、後行から順次走査する場合はなくても良い。補助容量素子16が前行の走査電極に接続し、かつ、後行から順次走査する場合、または、補助容量素子16が後行の走査電極に接続し、かつ、前行から順次走査する場合は必要)

以上のように、本実施例では液晶容量が 3.3 fF と非常に小さく、補助容量素子が 200 fF と小さいにもかかわらず、 9 V の大きさの変調電圧($\Delta V_G = V_{GLH} - V_{GL} = V_{GLLH} - V_{GL}$)に対して、約 8 V のバイアス電圧を印加することができた。これにより V_{DP-P} (図7(c)参照)が僅かに 2.9 V という大変に低い値の駆動電圧で表示装置を駆動できた。従って最も電力を必要とする

信号電極駆動回路19の消費電力が低減し、表示装置全体の消費電力を低減することができた。さらに信号電極駆動回路のチップサイズを縮小できるので、表示

面周辺の額縁の領域が減少し、表示装置を小型化できた。また、表示面の占める割合が多くなり、より視認性が良くなった。同時に容量素子が小さいため、容量素子による開口領域の損失がなく、53%という高い開口率が得られるので、表示画面の明るさを向上することができた。

ところで、1本の走査配線の容量負荷 C_G は、次式で表される。

$$C_G = M \cdot \left[CS (CGS + CLC) + CGS (CS + CLC) \right] / (CS + CGS + CLC) \quad \dots (6)$$

ここで、Mは横方向の総画素数である。縦電界方式の場合は液晶容量CLCが大きいので、 $CGS \ll CLC$ である。

したがって、

$$C_G = CS \cdot CLC / (CS + CLC) \quad \dots (7)$$

となる。変調電圧 ΔV_{GL} の80%のバイアスを印加することを考えると $CS = 4 CLC$ となり、 C_G の最小値は $(4/5) \cdot CLC$ である。一方、横電界方式では、 $CGS = CLC \ll CS$ であり、

$$C_G = 2 CGS + CLC \quad \dots (8)$$

となる。 $CGS = CLC$ とすると $C_G = 3 CLC$ となる。上述

したように、横電界方式の液晶容量CLCは縦電界方式の10分の1程度であるので、 C_G は約2.7倍の値になる。一般に横方向に筋を引くクロストーク（横スマア）は、電圧波形歪が表示が異なることによって変化するために起こる。特に、走査電極の電圧を変調し、信号電圧の振幅の低減を図る駆動方法においては、走査電極の電圧波形歪の変化は、実効的バイアス電圧を実効的に変化させる。そのため、走査電極の電圧を変調し電界を信号電圧の振幅の低減を図る駆動方法を横電界方式と組み合わせることによって、バイアス電圧も十分に印加でき、かつ、横スマアが抑制される。

本実施例では、走査電極1本あたりの容量は69 pFと小さくできた。これにより、走査電圧波形を観測した結果、変調電圧の波形歪のほとんどなく、横スマアの発生を目視で確認することはできなかった。

以上のように、本実施例では、低駆動電圧、高開口率、高画質を両立すること

ができた。加えて、本実施例では、図 3-3 において明状態を表示する電圧 V_{ON} と暗状態を表示する電圧 V_{OFF} の差が 5 V 以下であったので、汎用 LSI（例えば CMOS レベル）用のプロセスで製造した耐圧 5 V 以下の LSI を信号側駆動回路 19 に用いることができ、表示装置の量産性が向上し、製造コストが

低減した。

なお、変調電圧を重畳しない時、すなわち $V_{GLH} = V_{GLL} = V_{GL}$ の時、 $V_{DH} = 22.5$ V、 $V_{DL} = 4.3$ V とすると、 $V_{DP-P} = 18.2$ V となる。本実施例では $V_{DP-P} = 2.9$ V であるから、変調電圧を重畳しない場合に比べて V_{DP-P} を 1/6 以下に低減できる。

〔実施例 2〕

本実施例では、実施例 1 とは駆動波形が異なる。

本実施例の駆動波形を図 8 に示す。実施例 1 では、同一フレーム内で印加される変調電圧 $\Delta V_{GL}(-)$ 、 $\Delta V_{GL}(+)$ は全ての走査線で正または負の同一極性であったが、本実施例では隣合った走査線同士で変調電圧の極性が互いに反転している。したがって、画素電極に印加される電圧 V_p の波形の極性が 1 行毎に反転するいわゆる行毎反転駆動になっている。本実施例では実施例 1 における（数 4）、（数 5）に対応する条件が次の式で与えられる。

$$V_{GH} \geq V_{DH} + V_{TH} + V_M \quad \cdots (9)$$

$$V_{GL} \leq V_{S1} - V_{TH} - V_M \quad \cdots (10)$$

$$V_{GLH} \leq V_{S2} + V_{TH} - V_M \quad \cdots (11)$$

ここで、 V_{S2} は図 8 に示す電圧値であり、 $V_{S2} = V_{DL} - \Delta V_{GS}(+)$ である。 $V_M = 4$ V として電圧を設定した結

果、各電圧は $V_{D-CENTER} = 15.0$ V、 $V_{GH} = 20.5$ V、 $V_{GL} = 0$ 、 $V_{DH} = 16.5$ V、 $V_{DL} = 13.6$ V、 $V_{GLH} = 9.0$ V、 $V_{GLL} = 9.0$ V、 $V_C = 14.5$ V となった。また、ゲート電極とソース電極の間の寄生容量 C_{GS} による電圧変動 $\Delta V_{GS}(+)$ 、 $\Delta V_{GS}(-)$ 、 ΔV_B 、バイアス電圧 V_B 、液晶にかかる電圧 V_{LC} の実効値 V_{rms} は表 2 のようになった。

表2 各種電圧値

表示状態	$\Delta V_{GS} (+)$	$\Delta V_{GS} (-)$	$V_B (+)$	$V_B (-)$	$\Delta V_B (-)$	$\Delta V_B (+)$	Vrms
明	0.31	0.69	7.61	7.61	0.14	0.14	9.11
暗	0.45	0.64	8.31	8.31	0.15	0.15	6.80

本実施例では行毎反転駆動を行うことによって、同じマージン電圧VMを設定しても、走査電極の電圧の最大振幅値を28.6Vから20.5Vに低減することができた。これにより、走査側駆動回路18に用いる走査側駆動ICの耐圧と消費電力を低減することができた。

以上、本実施例では、実施例1の効果に加え、低耐圧の走査側駆動ICを用いることができ、更に消費電力を低減することができた。

〔実施例3〕

本実施例は実施例1とは画素の電極構成および駆動方式が異なる。

図9は下側基板における複数の画素にわたる領域の平面構造を示し、図10はその1画素部分を拡大した図である。また、図11は図10のD-D'線における断面図である。図12は、本実施例の表示装置の回路構成をしめす。

図9、図12に示すように、共通電極4の幹となる配線を走査電極1と平行に形成してパネルの走査電極駆動回路18と反対側の縁に引出し、これらを共通接続して共通電極駆動回路20に接続した。各共通電極の幹となる配線からは上下に枝となる配線が延びている。このように、できるだけ高い開口率を実現するために縦方向の隣接した2画素につき1共通電極配線とし、共通電極配線数を半分にした。なお、走査電極1と共通電極4を同一の金属材料を用いて形成した。

図11に示すように、補助容量素子16を、画素電極3と共通電極4でゲート絶縁膜9を挟んで形成した。共通電極4は画素電極3及び信号電極2とゲート絶縁膜9を介して別の層に形成されるので、共通電極4と信号電極2短絡のおそれがなく両者の間の距離を約3 μ mと狭めることができる。これにより、表示に寄与しない信号電極2とその隣合った共通電極の間の領域の面積を低減

できるので、画素電極 2 と共通電極 4 の枝部分とで画素を 4 分割（実施例 1 では 3 分割）して実施例 1 と比べて電極間のギャップ幅を狭めたものの、実施例 1 と同等の高開口率を確保できた。電極間のギャップ幅を小さくすることにより、液晶に同じ大きさの電界を印加するのに電極間に印加する電圧を低減することができる。以上のように、本実施例では、実施例 1 と同等の明るさを維持しながら、実施例 1 と比較して駆動電圧を低減することができた。

また、共通電極 4 を信号電極 2 のすぐ隣に形成することにより、信号電極 2 からの電界の大部分が共通電極 4 で終端するため、共通電極のシールド効果によって信号電極 2 と画素電極 3 との容量結合を防止することができ、信号電極の電圧変動による画素電極の電圧変動を抑制することができる。これによって縦方向のクロストーク（縦スミア）の発生を抑えることができ、表示品質を向上することができた。

本実施例では、信号電極は 640×3 本、走査電極は 480 本、共通電極は 240 本であり、総画素数は実施例 1 と同じ約 100 万個である。このように、本実施例では実施例 1 と比較して共通電極の数を大幅に削減できたので、断線確率や他の電極との短絡確率を大幅に低減

することができ、パネル製造時の歩留まりを向上させることができた。尚、本実施例では共通電極の幹となる配線を縦方向の隣接した 2 画素で共通としたが、1 画素毎に設けても本発明の効果を本質的に変えるものではなく、本発明の範中である。

本実施例の表示装置における駆動波形を図 13 に示す。走査信号 $V_G(i-1)$ 、 $V_G(i)$ の非選択電圧を 1 走査期間ごとに V_{GLH} と V_{GLL} の間で交互に変化させ、これと同期して共通電極 4 の電圧 V_C も V_{CH} と V_{CL} の間で変化させた。ここで、オフ電圧の振幅値 $|V_{GLH} - V_{GLL}|$ と共通電極電圧の振幅値 $|V_{CH} - V_{CL}|$ の値を等しくし、画素電極 3、走査電極 1 及び 13、共通電極 4 の相対的な電圧の関係が常に一定となるようにした。共通電極の電圧 V_C を同時に変調したことにより、走査信号の非選択電圧における変調の位相を全ての行で同位相にすることができた。これにより、実施例 1 では走査側駆動 IC の出力は 4 値必要であったが

、本実施例では3値で駆動できるので走査側駆動IC内部の回路規模を低減することができ、走査側駆動ICを小型化することができた。さらに、走査側駆動ICのグラウンド電圧に変調電圧を印加するか、オフ電圧がスルーで出力されるものを走査側駆動ICに用いれば、2値出力の走査側駆動ICを用いることがで

き、更に小型化が図れる。

以上、本実施例では、実施例1の効果に加え、更に駆動電圧を低減することができ、縦方向のクロストークの発生を抑制することもできた。また、パネルの製造歩留まりを向上することができた。さらに、走査側駆動ICを小型化できるため、表示装置全体の小型化を図ることができた。

尚、本実施例の駆動方法は、実施例1の画素構造においても可能であり、この場合にも走査側駆動ICの小型化を図ることができる。

本実施例では1走査期間ごとに変調電圧を交互に変化させたが、2走査期間以上、または1フレーム期間ごとに変調電圧を交互に変化させても同等の効果を得ることができる。

〔実施例4〕

本実施例の液晶表示装置における複数画素部の構成を図14に、1画素の拡大図を図15に示す。

本実施例では共通電極4を設けず、前行の走査電極13を画素電極3と対向する基準電極として用いた。液晶層の液晶分子の配向は、主に画素電極3と前行の走査電極13から直角方向に伸びた枝電極との間の電界Eによって制御される。本実施例では前行の走査電極から枝電

極を引き出したが、後行の走査配線から引き出してもよい。補助容量素子16は、画素電極3と前行の走査電極13でゲート絶縁膜9を挟む構造として形成した。前行の走査電極13は信号電極2とは絶縁膜を介して別の層に設けたので、走査電極5と信号電極2の間の距離を約 $3\mu\text{m}$ と狭めることができた。さらに、共通電極を設けないので、これまでの実施例の共通電極配線部の領域を開口部として用いることができた。以上のように光透過状態の制御ができない領域の面積を

削減したので、画素を4分割することによって電極間ギャップを狭めたものの、実施例1、実施例3を超える高開口率を確保できた。従って、本実施例では、更に明るさを向上し、駆動電圧を実施例1と比較して低減することができた。また前行の走査電極13の枝電極を信号電極2と隣接して形成したことにより、信号電極2からの電界のほとんどが走査電極13の枝電極で終端するため、実施例3と同様に信号電極2の電圧変動による画素電極3の電圧変動を抑制することができ、縦方向のクロストークの発生を抑えることができた。

図16は、本実施例の表示装置の回路構成を示す。共通電極を設けないため、共通電極駆動回路は不要である。このように共通電極配線および共通電極駆動回路を省略

できるので、実施例1と比較してパネルの量産性を向上することができた。

図17に本実施例の駆動波形を示す。(a)と(b)は走査信号電圧、(c)は信号電圧、(d)は画素電極への印加電圧、(e)は画素電極と走査電極間の差電圧を示す。本実施例では走査信号は実施例3と同じである。走査電極1に印加される走査信号電圧の中の変調電圧と基準電極である前行の走査電極13に印加される走査信号電圧の中の変調電圧が同一波形であるので、基準電極と走査電極の電圧波形の歪の違いによる変調電圧波形の位相ずれがなくなり、液晶印加電圧へ忠実にバイアス電圧を反映させることができる。

また、非選択期間中に印加される最大ゲート電圧を V' とすると、図17に示すように $V' = V_{ON}$ である。本実施例では、液晶印加電圧 V_{LC} に交流波形を印加するために、TFTのしきい値電圧 V_{TH} を制御し、 $V_{TH} > V_{ON}$ を満たすようにする。これにより、走査信号の非選択電圧を基準にして負の液晶印加電圧($-V_{ON}$)を画素電極3に充電しても十分保持動作できるようになる。本実施例では、アモルファスシリコン膜厚を薄膜化することによって高電圧側にシフトさせ、ゲートしきい値電圧 V_{TH} を制御した。尚、しきい値電圧 V_{TH} は、 $V_{TH} < V_G < V_D +$

V_{TH} の範囲で、ドレイン電流の平方根 $\sqrt{I_D}$ をゲート電圧 V_G に対してプロットし、直線近似した時に、その直線とゲート電圧 V_G 軸との交点のゲート電圧 V_G と定

義している。本実施例では、半導体膜の薄膜化によってゲートしきい値電圧を制御したが、ゲート電極材料、ゲート絶縁膜、半導体膜等の材料選択、ドーピング、バックチャネル制御等によってゲートしきい値電圧の制御を行う方法もあり、それらの1つまたは組合せで制御しても良く、ゲートしきい値電圧に関する条件を満足していれば、本発明の範囲内である。

以上、本実施例は、実施例1および3の効果に加え、更に明るさを向上し、パネルの量産性を向上することができる効果を有する。

特に、 V_{TH} が V_{ON} を超えるようにすることで、走査信号の非選択電圧を基準にして負の電圧を充電保持することができ、液晶を交流駆動することが可能になった。したがって、耐用時間が長くなり、また、残像現象が発生しない高画質のアクティブマトリクス型液晶表示装置を得ることができた。

なお、本実施例の画素構成において、実施例1および2の駆動方法を適用することもできる。

〔実施例5〕

本実施例は実施例4と駆動方法が異なる。

図18に本実施例の駆動波形を示す。本実施例では、走査電極に、同一フレーム内での非選択電圧は一定であるが、フレーム毎に非選択電圧値を変化させ、さらに1行毎の位相差が $(1 + 1 \text{ 走査期間} / 1 \text{ フレーム期間})$ である走査信号電圧を印加した。また、信号電極2には、前行の走査電極1・3に印加される非選択電圧が2つの非選択電圧 V_{GLH} 、 V_{GLL} のうち高い方の電圧 V_{GLH} の時、負の電圧を液晶に印加する、また、前行の走査電極1・3に印加される非選択電圧が低い方の電圧 V_{GLL} である時、負の電圧を液晶に印加するように映像信号電圧 V_D を印加し、選択期間にTFTを介して、画素電極に電圧を印加した。これにより、液晶には交流駆動波形を印加できる。

本実施例においても、図18に示すように、 $V' = V_{ON}$ となり、 $V_{TH} > V_{ON}$ と満たすようなTFTのしきい値電圧が必要である。また、実施例4のように、1走査期間毎に非選択電圧を変化させることなく、低消費電力で、かつ、1行毎に極性を反転させることができ、ちらつきを抑えることができた。本実施例では、

非選択電圧の高い方の電圧 V_{GLH} と低い方の電圧 V_{GLL} の差 $V_{GLH} - V_{GLL}$ を $V_{ON} + V_{OFF}$ と等しくすることで、映像信号電圧の最

大振幅 V_{DP-P} を $V_{ON} - V_{OFF}$ とすることができ、実施例 4 と同等の低電圧化を図ることができた。

以上、本実施例では、実施例 4 と比較し、走査電極駆動回路の消費電力を低減することができた。

〔実施例 6〕

図 19 は本実施例の液晶表示装置における駆動波形を示す。本実施例の駆動波形は実施例 5 のそれと基本的には同じであるが、非選択電圧の高い方の電圧 V_{GLH} と低い方の電圧 V_{GLL} の差 $V_{GLH} - V_{GLL}$ を $(V_{ON} + V_{OFF}) / 2$ としたところが実施例 5 と異なる。これにより、図 19 (c) に示すように、映像信号電圧 V_D の最大振幅 V_{DP-P} は $(3 V_{ON} - V_{OFF}) / 2$ と高くなるが、TFT のしきい値電圧 V_{TH} は $V' = \Delta V / 2 = (V_{ON} - V_{OFF}) / 2$ より大きくなり、負の最大電圧 $(-V_{ON})$ を液晶に印加できるようになる。これにより、実施例 4、5 と比較し、低いしきい値電圧の TFT を用いることができ、かつ、非選択電圧が 1 値の場合の映像信号電圧の最大振幅 $V_{DP-P} = 2 V_{ON}$ と比較し $(V_{ON} + V_{OFF}) / 2$ だけ低電圧化することができた。また、本実施例の駆動方式においては、図 34 に示すように、 ϕ_{LC} の角度をより大きくすることにより、 $V_{ON} - V_{OFF}$ がより小さくでき、さらに低しきい値電圧の TFT を用いることができ、同時に

映像信号電圧の低電圧化が図れる。

以上、本実施例では、実施例 4、5 と比較し、低しきい値電圧の TFT を用いることができる効果がある。

〔実施例 7〕

図 20 に本実施例の液晶表示装置における駆動波形を示す。本実施例では、1 行毎に p 型 TFT と n 型 TFT を交互に構成した。これにより、しきい値電圧 V_{TH} が負電圧の TFT を用いることができる。しきい値電圧 V_{TH} が負電圧であるためには、p 型 TFT を有する走査電極の非選択電圧のセンター値 V_{GL-P} が n 型 T

FTを有する走査電極の非選択電圧のセンター値 V_{GL-N} よりも高電圧であり、かつ、その電位差が、 $V_{ON} + \Delta V_S$ を超えなければならない。ここで、 ΔV_S はフィールドスルー電圧の最大値である。これにより、映像信号電圧の最大振幅 V_{DP-P} を、 $V_{ON} + \Delta V_S + \Delta V$ まで低減することが可能である。

以上、本実施例では、実施例4と比較し、しきい値電圧 V_{TH} が負電圧のTFTを用いることができ、かつ映像信号電圧の低電圧化を図ることができた。

〔実施例8〕

本実施例は、実施例1と画素の構成および駆動方式が異なる。

本実施例では、図21のような画素を構成した。画素の等価回路は図22のようになる。また、図21のE-E'断面図を図23に、F-F'断面図を図24に、G-G'断面図を図25に示す。画素には、図21に示すように、薄膜トランジスタ素子15aと15bを形成した。図21に示すように、画像に応じた信号電圧を薄膜トランジスタ素子15aのドレイン電極25aに印加し、そのソース電極26aとスルーホール31を介して画素電極3に接続した。画素電極3との電位差を与える基準電極4の電圧を、次行の走査電極13aからスルーホール32及び薄膜トランジスタ素子15bのドレイン電極25b、ソース電極26bを介して与えた。また、図25のように、画素電極3と基準電極4とゲート絶縁膜9を用いて補助容量素子16aを形成した。ここで、補助容量素子16aは、信号によるのノイズを吸収することにより、画素電極の電位を定電位に保持するために設けている。この様に、1つの画素内に、2つの薄膜トランジスタ素子が設けられており、図24に示すように、画素電極3と基準電極4の間の電界方向Eが、主に基板面に平行または水平方向成分を持つようにした。ここでは、2つの薄膜トランジスタ素子を用いたが、3つ以上の薄膜トランジスタ素子を用いて冗長構成をとってもよい。

同様に補助容量素子16aも2つ以上用いても構わない。ここでは、画素電極3と基準電極4間のアライメントがフォトマスクのみで行われるため、液晶層に印加される電界Eのバラツキが小さく抑制される。さらに、同一層で両ソース電極

を形成するので、画素電極 3 と基準電極 4 間の距離 d のバラツキは、5%以下に押さえることができた。

次に駆動方式を述べる。図 27 に各電極に印加される電圧の波形を示す。1 行毎に、信号が書き込まれる線順次駆動を行なっている。走査電圧波形 40 : VG (i) は 1 行分の TFT を選択してオン状態にする選択パルス 41 : VGON (i) と 1 行前の基準電極に電位 V_C を与える基準電圧パルス 51 : VC (i) により構成される。i + 1 行目の基準電圧パルス 52 : VGC (i+1) は i 行目の走査線の選択パルス 41 : VGON (i) にほぼ同期して印加する。このため、i 行目の走査線の走査電圧波形 40 に選択パルス 41 が印加されると、薄膜トランジスタ素子 15 a、15 b がオンし、信号電圧波形 61 : VD (j) と i + 1 行目の基準電圧パルス 52 : VGC (i+1) がそれぞれの薄膜トランジスタ素子 15 a、15 b を介して信号電極 2 及び走査電極 13 a に接続されている補助容量素子 16 a 及び液晶 5 a に書き込まれる。その行の書き込み期間 (1

H) が終わると、走査電圧波形 40 : VG (i) がオフレベル (非選択電圧) まで立ち下がり、薄膜トランジスタ素子 15 a、15 b はオフ状態になり、書き込まれた電圧を保持するが、実際には、走査電圧波形 40 がオフレベルまで立ち下がる時に、薄膜トランジスタ素子 5 a、5 b の寄生容量によるカップリングノイズによる電圧シフト 76、77 が起き、その電圧で保持される。ここで、液晶に印加される電圧は、薄膜トランジスタ素子 15 a、15 b の各々のソース電圧 71、72 の間の電圧 78 が、印加され、この電圧 78 によって、その画素の明るさ (透過率) が決まる。

本実施例では、次行の走査電極から基準電極に電位を与えることにより、基準電極に電圧を印加する特別の共通電極を必要としないため、共通電極を形成する工程の削減できた。また、実施例 4、5、6 と異なり、TFT のしきい値を高電圧にしなくとも良く、しきい値が 0 付近または 0 以下の TFT を用いても、液晶を交流駆動することができる。さらに、従来の駆動方法で、薄膜トランジスタ素子をオン状態からオフ状態に切り換える際に、薄膜トランジスタ素子の寄生容量を通して受ける電圧シフト 76、77 によって発生する液晶印加電圧の直流成分

は、本実施例では、2つの薄膜トランジスタ素子で互

いにキャンセルするので発生しない。したがって、従来共通電極で補正していた直流成分の補正をすることなく、液晶の交流駆動をすることができることから、フリッカが発生しなかった。同様に、直流成分による残像も確認できず、輝度傾斜も目立たなかった。更に、MIMダイオード等の2端子素子を用いる場合は、素子のしきい値のバラツキによる輝度むらなどの画質不良も同様に2つの素子でキャンセルするので、輝度むらが解消される。

〔実施例9〕

本実施例の構成は下記の要件を除けば、実施例8と同じである。

図28に本実施例の画素平面図を、図29にその等価回路図を示す。基準電極4に電位を与える薄膜トランジスタ素子15bのドレイン電極と次行の走査配線4を容量素子101を介して接続した。また、信号によるノイズを除去する目的で画素電極3と基準電極4の間に接続した容量素子6を二つの容量素子6aと6bの直列接続により構成することにより、実施例8に必要であったスルーホールをすべて取り除くことができた。これにより微細加工の必要な画素内において、層間絶縁膜におけるハターニングや穴あけといった加工処理が不要となり、絶縁膜加工の不良による異層間のショートや接続不良が

なく、しかも表示に無関係なスルーホール領域を低減できることによる開口率の向上による高品質の液晶表示装置を実現できる

容量結合により基準電極4に電位を与えた場合、図29に示すごとく、その電位は容量素子101と補助容量素子16b、16cの合成容量の比により基準電極4の電位が決定される。画素電極3の電圧を V_{ds} 、一方、次行の走査電極の電圧を $V_{GC}(i)$ 、基準電極4の電圧を $V_C(i)$ 、補助容量素子16b、16cの容量値をそれぞれ C_{17} 、 C_{6a} 及び C_{6b} 、これらの合成容量値を C_{102} 、容量素子101の容量値を C_{101} とすると画素電極3と基準電極4間の液晶容量は非常に小さいので、

$$\begin{aligned}
 C_{102} &= C_{17} + \frac{C_{6a} \times C_{6b}}{C_{6a} + C_{6b}} \\
 &\approx \frac{C_{6a} \times C_{6b}}{C_{6a} + C_{6b}}
 \end{aligned}$$

液晶に印加される電圧は

$$V_D(j) - V_C(i) =$$

$$\begin{aligned}
 V_D(j) - \left\{ (V_D(j) - V_{GC}(i)) \frac{C_{102}}{C_{101} + C_{102}} \right. \\
 \left. + V_{GC}(i) \right\} \\
 = (V_D(j) - V_{GC}(i)) \frac{C_{101}}{C_{101} + C_{102}}
 \end{aligned}$$

となる。

従って、容量素子101の容量値 C_{101} が合成容量 C_{102} よりも十分大きければ、液晶を駆動するに十分な電圧を印加することができるし、2～3倍であっても、次行の走査電極の電圧振幅が25～33%大きくなるだけで表示特性には何ら影響を与えることがない。

本実施例によれば、容量結合により対向電極の電圧を与えるので、層間絶縁膜におけるバターニングや穴あけといった加工処理が不要となり、表示に無関係な領域を低減できることによる開口率の向上と、絶縁膜加工の不良による欠陥の少ない高品質の液晶表示装置を実現できる。

〔実施例10〕

本実施例の構成は下記の要件を除けば、実施例8と同じである。

駆動波形を図30に示す。画素構成及び等価回路は図21及び図22と同一であるが、走査電圧波形40: $V_G(i+1)$ の内、基準電圧パルス5: $V_{GC}(i+1)$ を1行毎にVCCを中心として極性反転をした点が特徴である。液晶電圧は信号電圧61と基準電圧パルス52の差電圧であ

るから、選択行の次行の走査電圧波形の基準電圧パルス52を行毎に極性反転することにより、液晶の行毎反転駆動による低電圧駆動を実現できる。基準電圧51、52の電圧振幅を適当に選ぶとともに、信号電圧と対向電圧の中心値をほぼ等しくすることにより、信号電圧の振幅を最小化することができる。

本実施例では、このように駆動条件を選択することにより、信号側駆動回路の低電圧化と行毎極性反転によるフリッカ低減が実現できる。

〔実施例11〕

本実施例の構成は下記の要件を除けば、実施例10と同じである。

図31に本実施例の2行2列分の画素平面図を、図32に等価回路図を、図33にその駆動波形を示す。表示装置全体はこの画素配置を繰り返すことにより構成する。画素の基本構成は図21の第1実施例と同様であるが、基準電極4の電位を与える走査電極との接続を、1列毎に上下の走査電極1および13aに接続するとともに、駆動方式としては、実施例10の低電圧駆動を基本に、走査電極選択時に上下の走査電極に実施例10において1毎に極性反転して加えていた2種類の基準電圧を1列毎に印加する点が特徴である。

本実施例によれば、液晶への書き込み極性を列毎に反転させることが可能で、横スミアをゲート配線上でクロストーク電流を逆極性の信号電圧を書き込むことによりキャンセルすることで横スミアを更に防止することができると同時に、信号電圧の低電圧化を実現できる。さらに、1行毎に極性反転することにより、縦方向のスミアも同時に防止することが可能で、高画質低電圧駆動を実現できる。

以上、透過型の液晶表示装置についての実施例を用いて本発明の説明を行ったが、本発明は反射型の液晶表示装置に対しても有効である。薄膜トランジスタについても、その構造（正スタガ構造、逆スタガ構造、コプレーナ構造等）および材質は上記実施例に限定はしない。

周辺回路（信号電極駆動回路、走査電極駆動回路、共通電極駆動回路）の一部または全部を、表示パネルを構成する基板7の表面にICチップの状態に直接に接着してもよい。また、周辺回路の一部または全部を、基板7の表面にポリシリコンTFTなどを用いて一体的に形成してもよい。これらにより、周辺回路を表

示パネルに外付けで形成する場合よりも表示装置全体を小型化できる効果がある

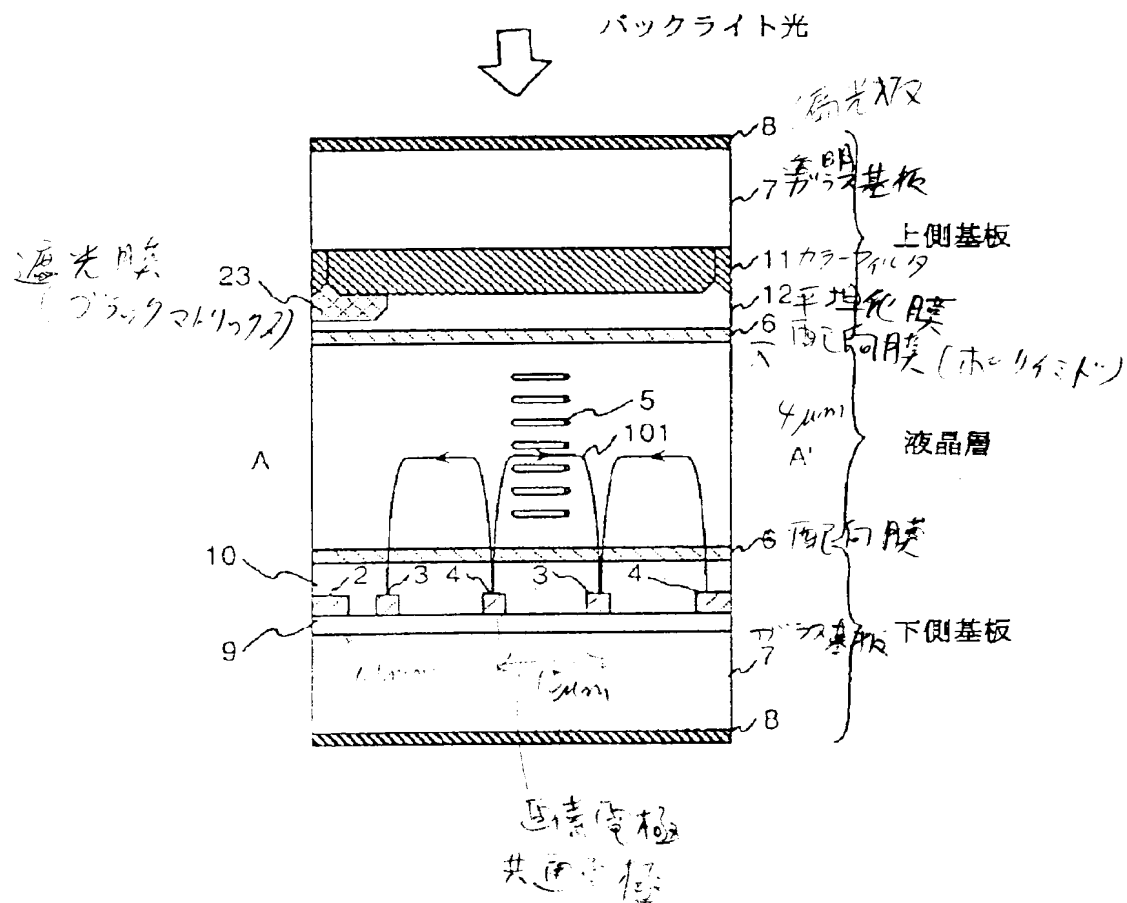
本発明の液晶表示装置を情報処装置、記憶装置、入力

装置、出力装置、通信装置などと組合せ、各種OA用機器、携帯用機器を構成することができる。

本発明によれば、基板界面方向の電界により液晶をスイッチングする方式を走査電極の電圧を変調して低電圧化し、低駆動電圧化、高画素開口率化を両立する。これにより、低消費電力かつ明るく視認性のよい薄膜トランジスタ型液晶表示装置を提供することができる。同時に走査電極の電圧を変調し低電圧化する駆動方式の問題となっていたクロストーク（横スミア）の発生も抑えられ、高画質の薄膜トランジスタ型液晶表示装置を提供することができる。更に、薄膜トランジスタ素子のしきい値電圧のコントロールまたはn型薄膜トランジスタ素子とp型薄膜トランジスタ素子を両方構成することにより走査電極を基準電極とすることができ、かつ低駆動電圧化することができる。また、2つの薄膜トランジスタ素子を1画素に利用することにより、走査電極から基準電位を供給することができる、かつ低駆動電圧化および高画質化することができる。

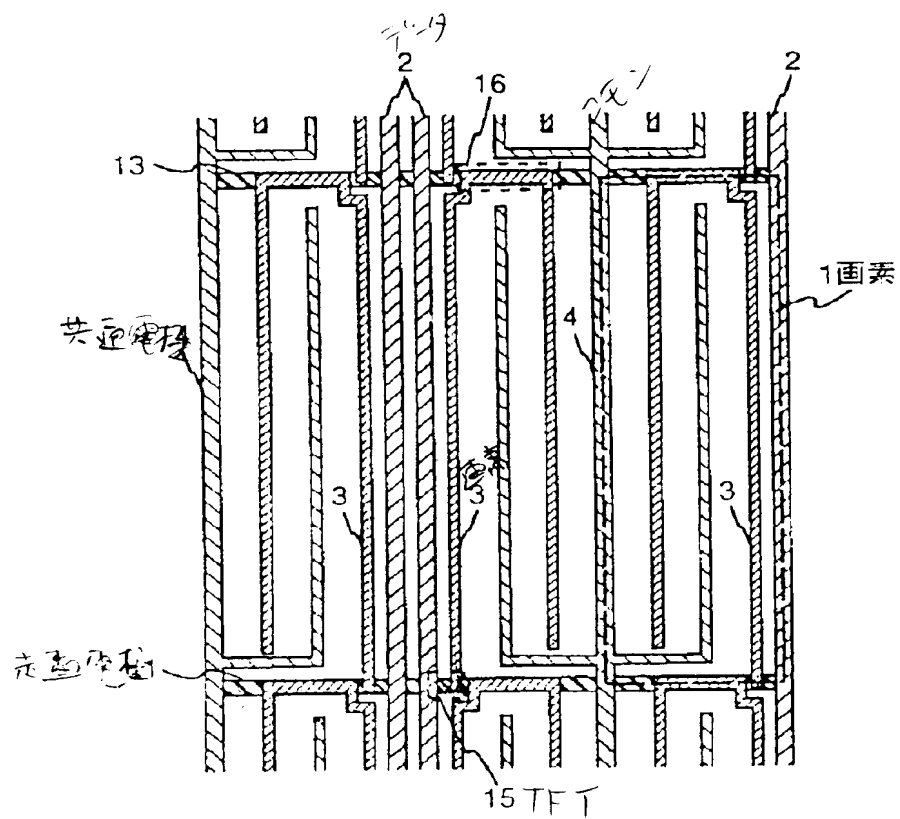
【141】

図 1



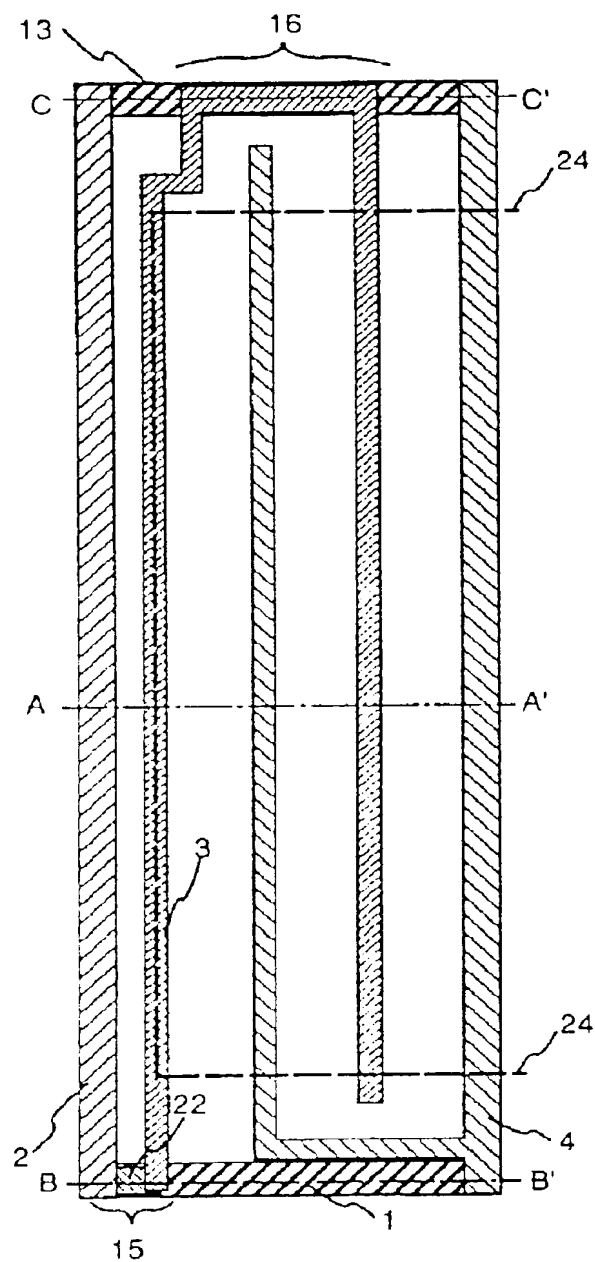
【図2】

図 2



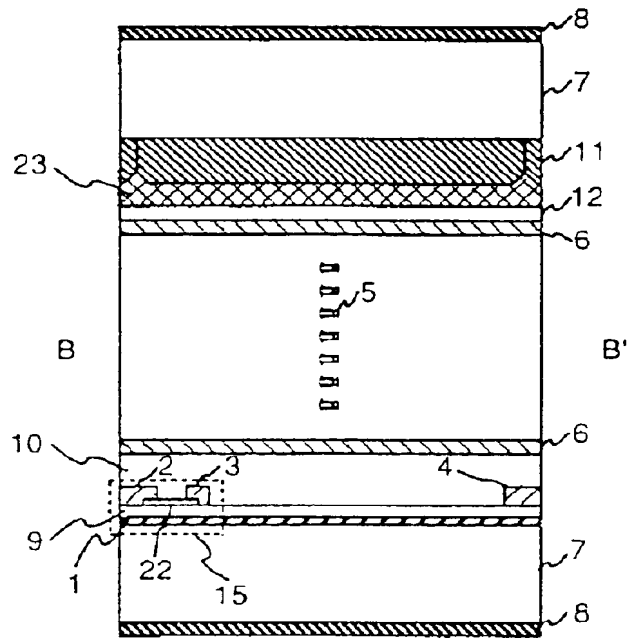
【143】

図 3



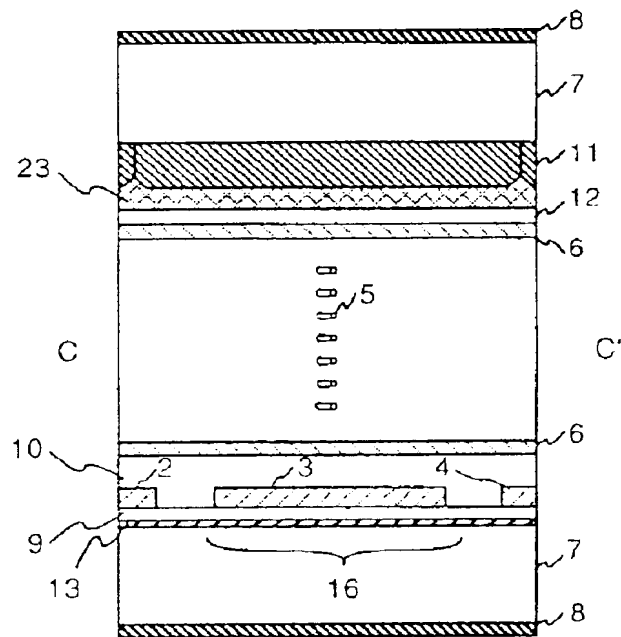
【図4】

図 4



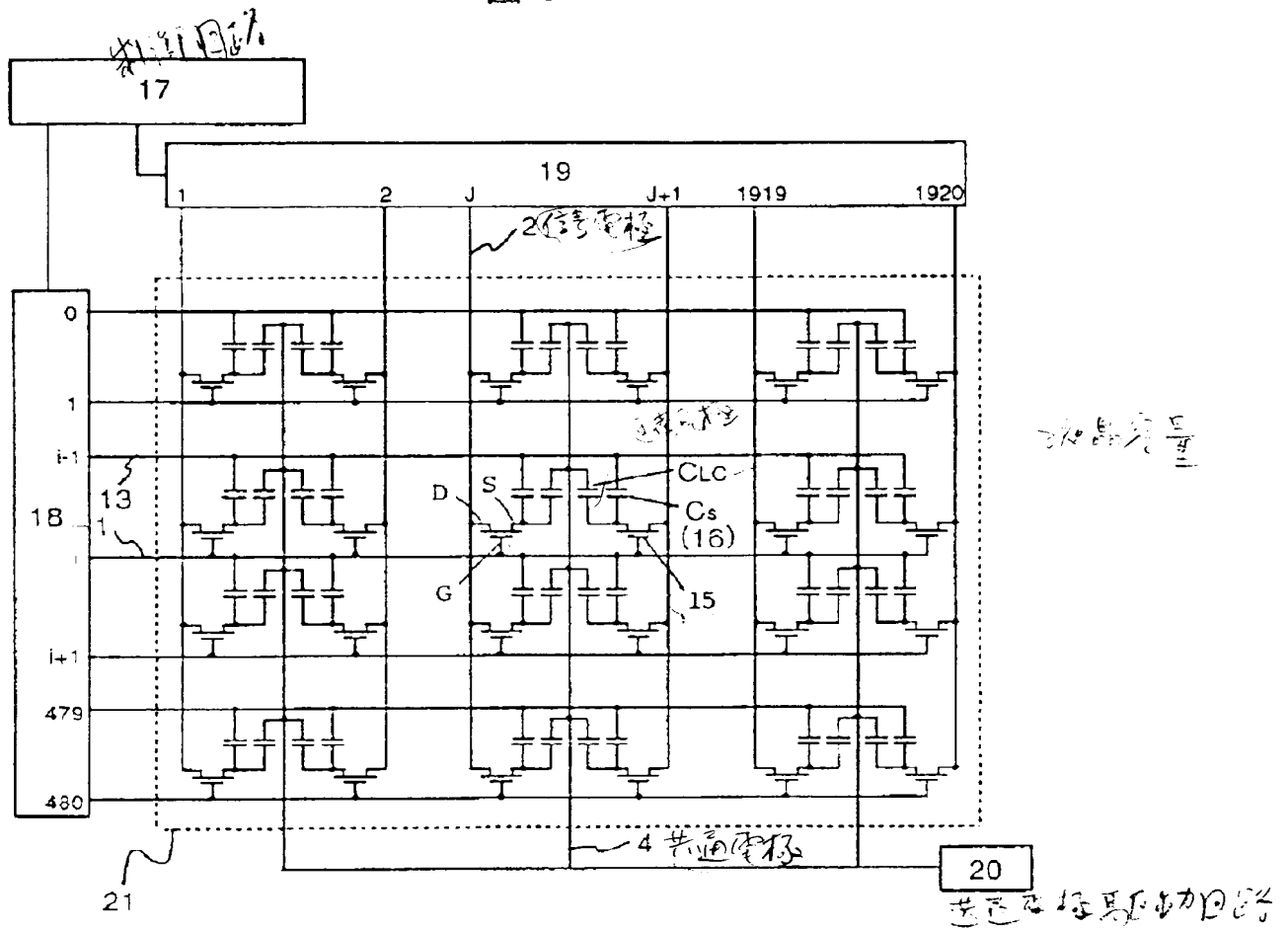
【145】

図 5



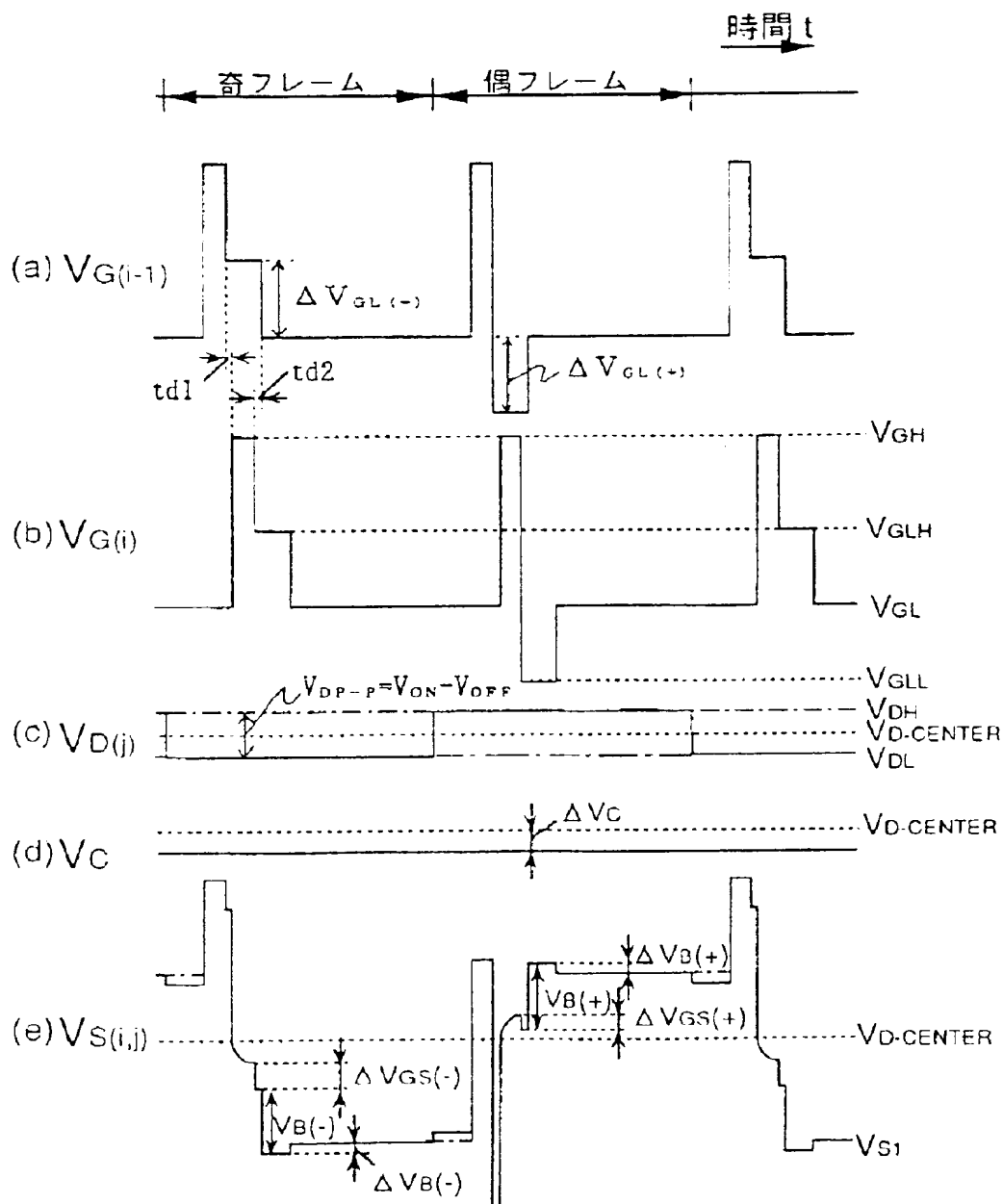
【図6】

図 6



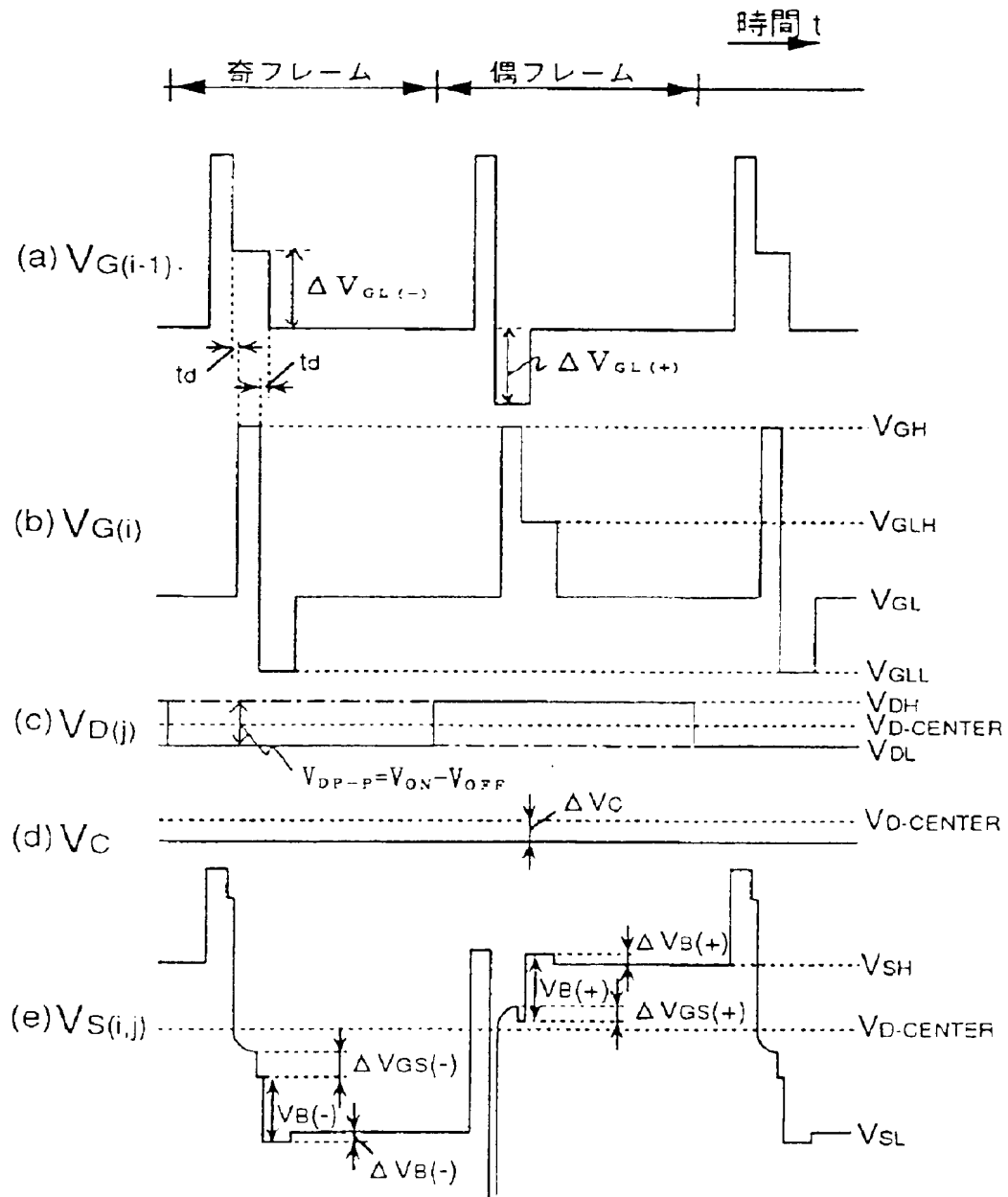
【図 7】

図 7



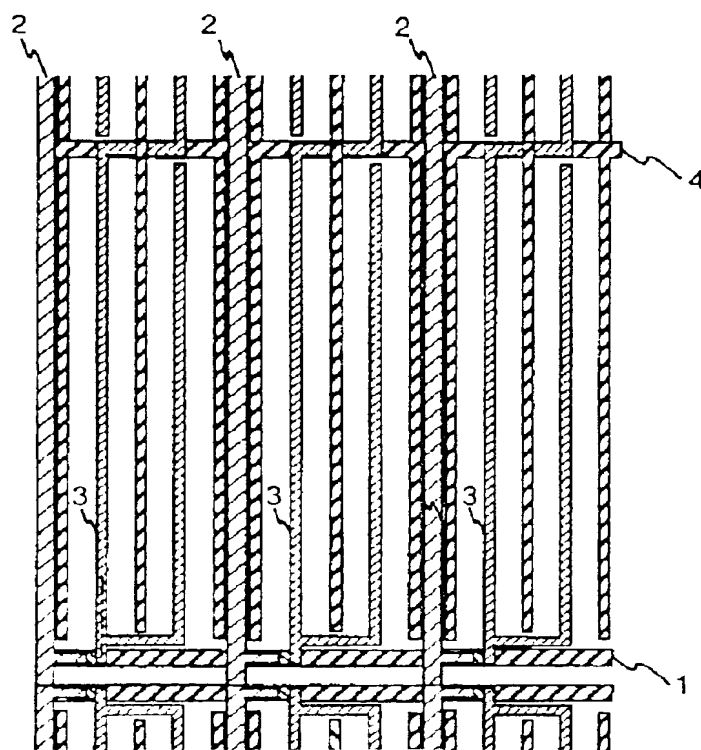
【図8】

図 8



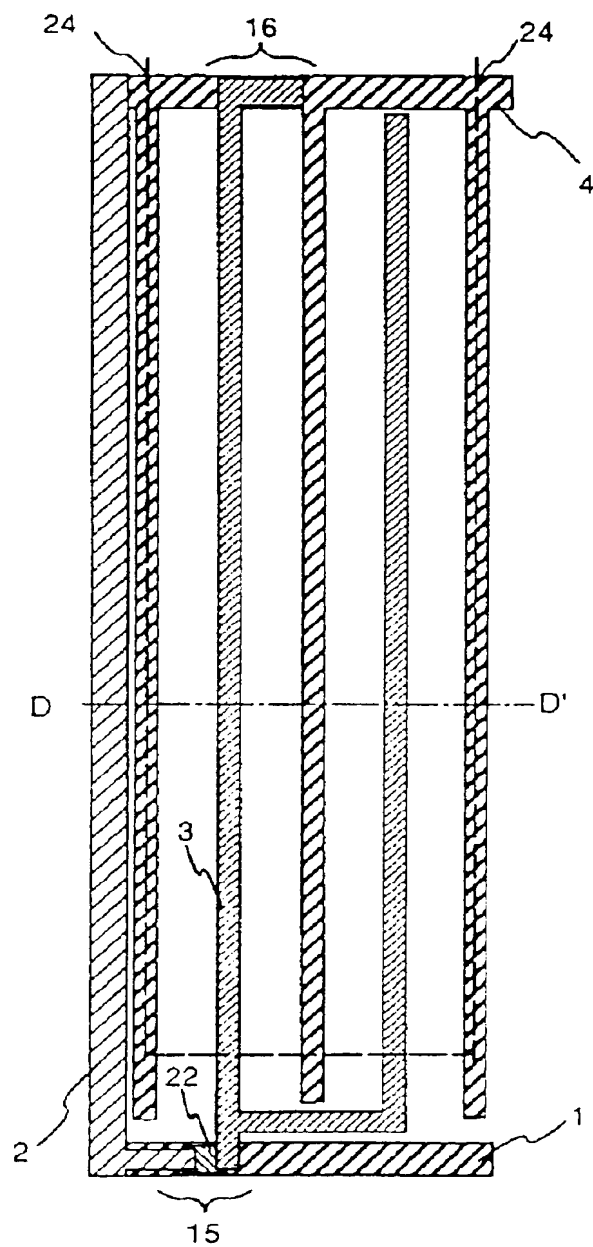
【39】

図 9



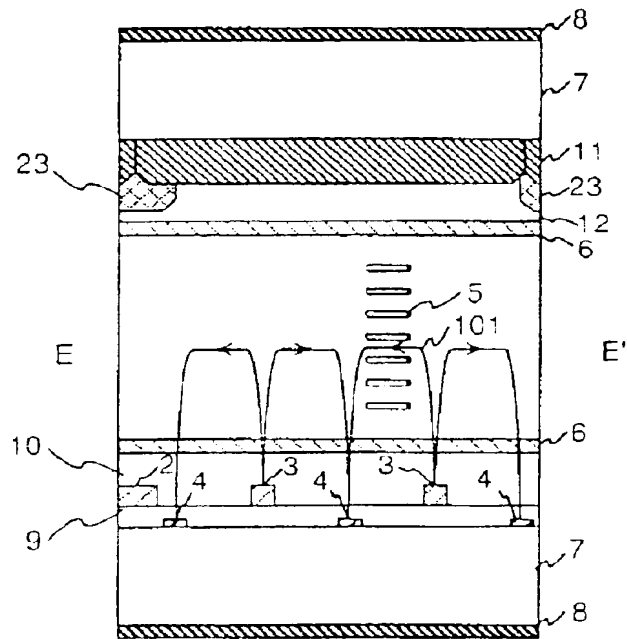
【図10】

図 10



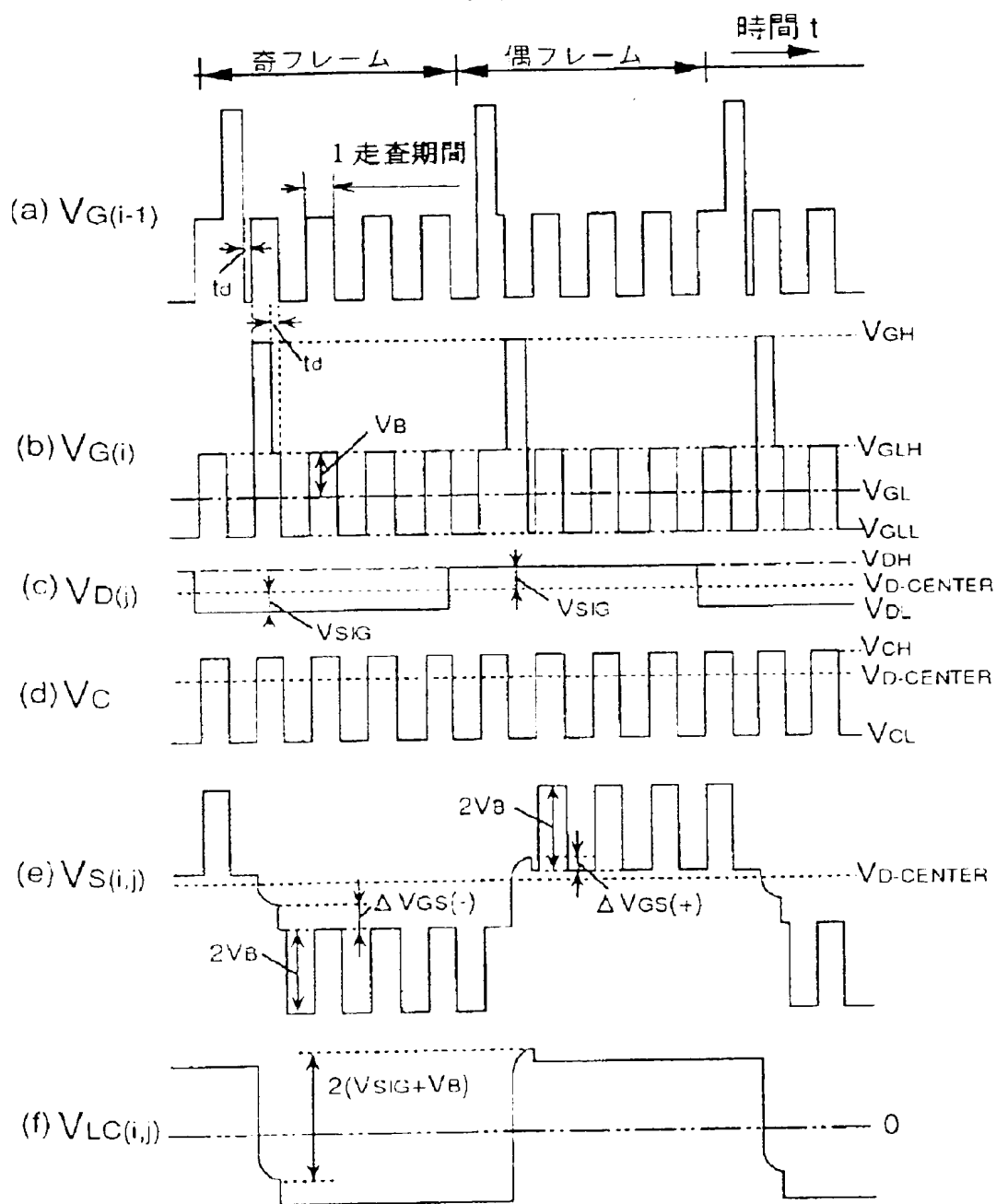
【図11】

図 11



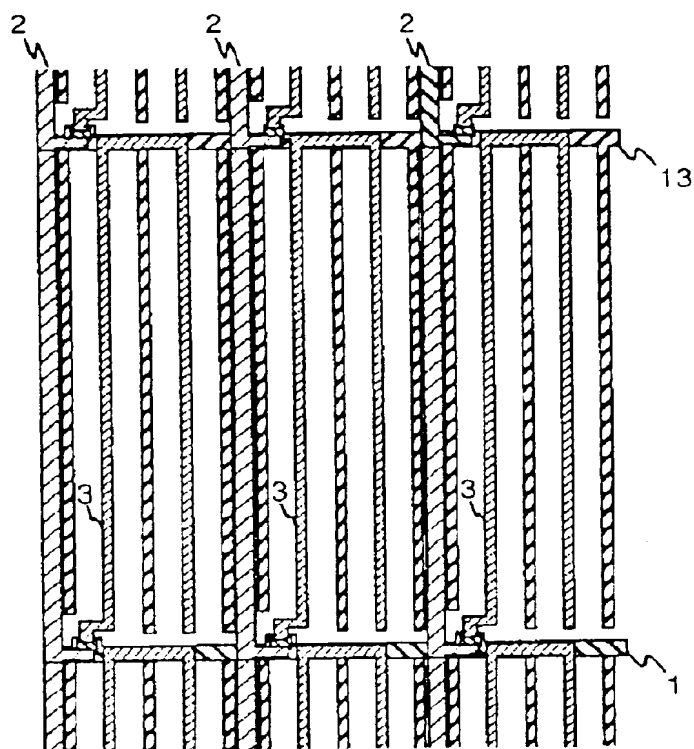
【図13】

図13



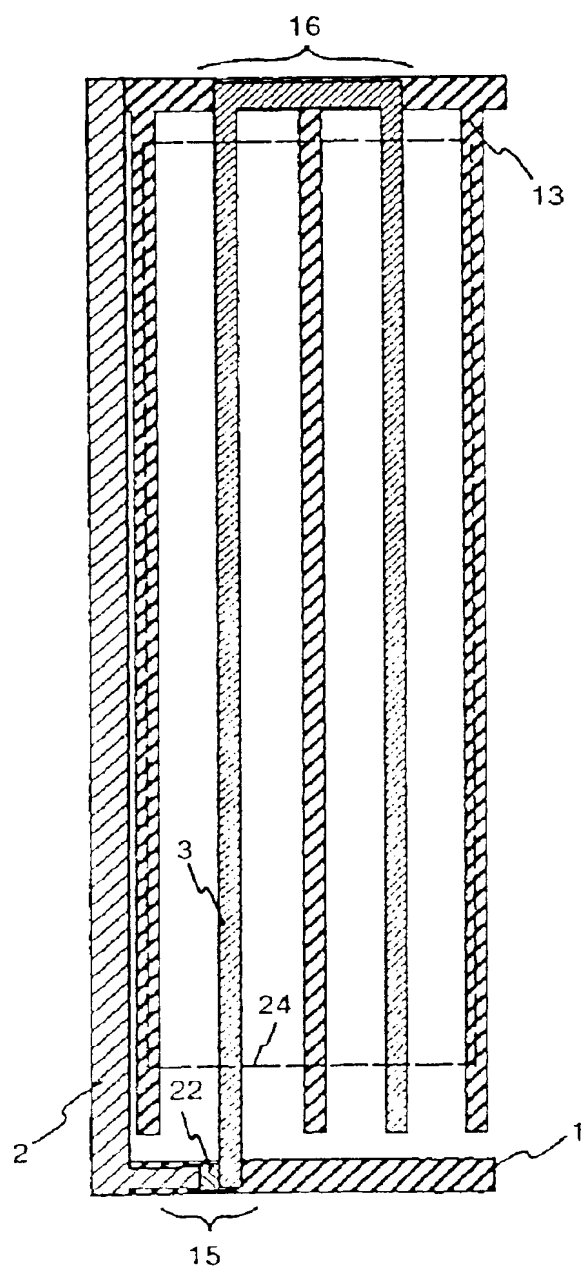
【図14】

図 14



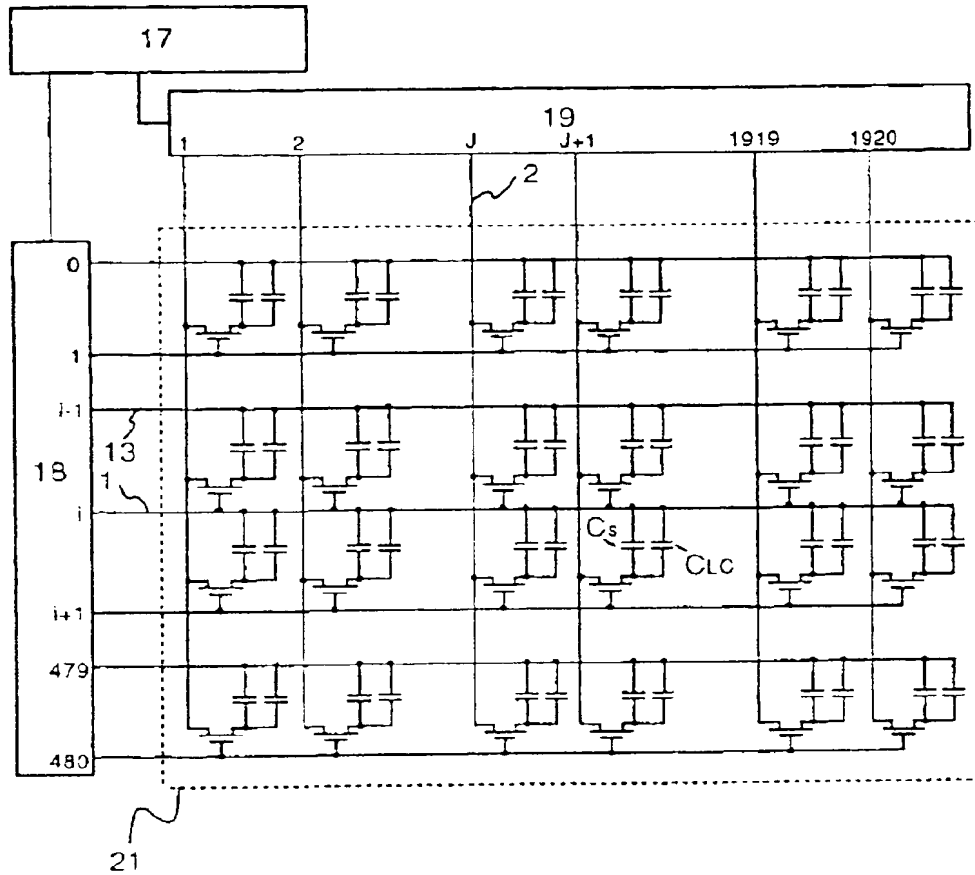
【図15】

図 15



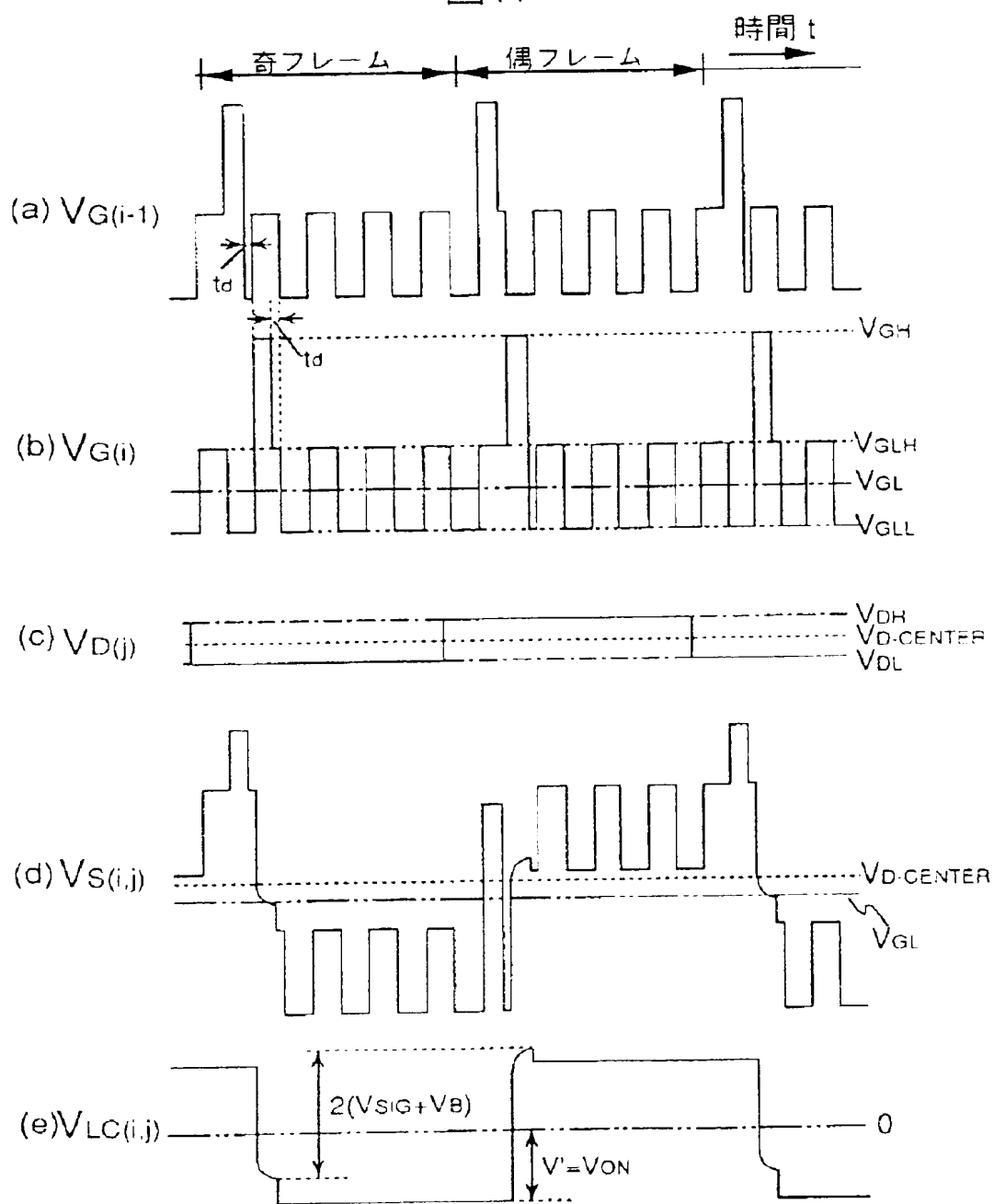
【図16】

図 16



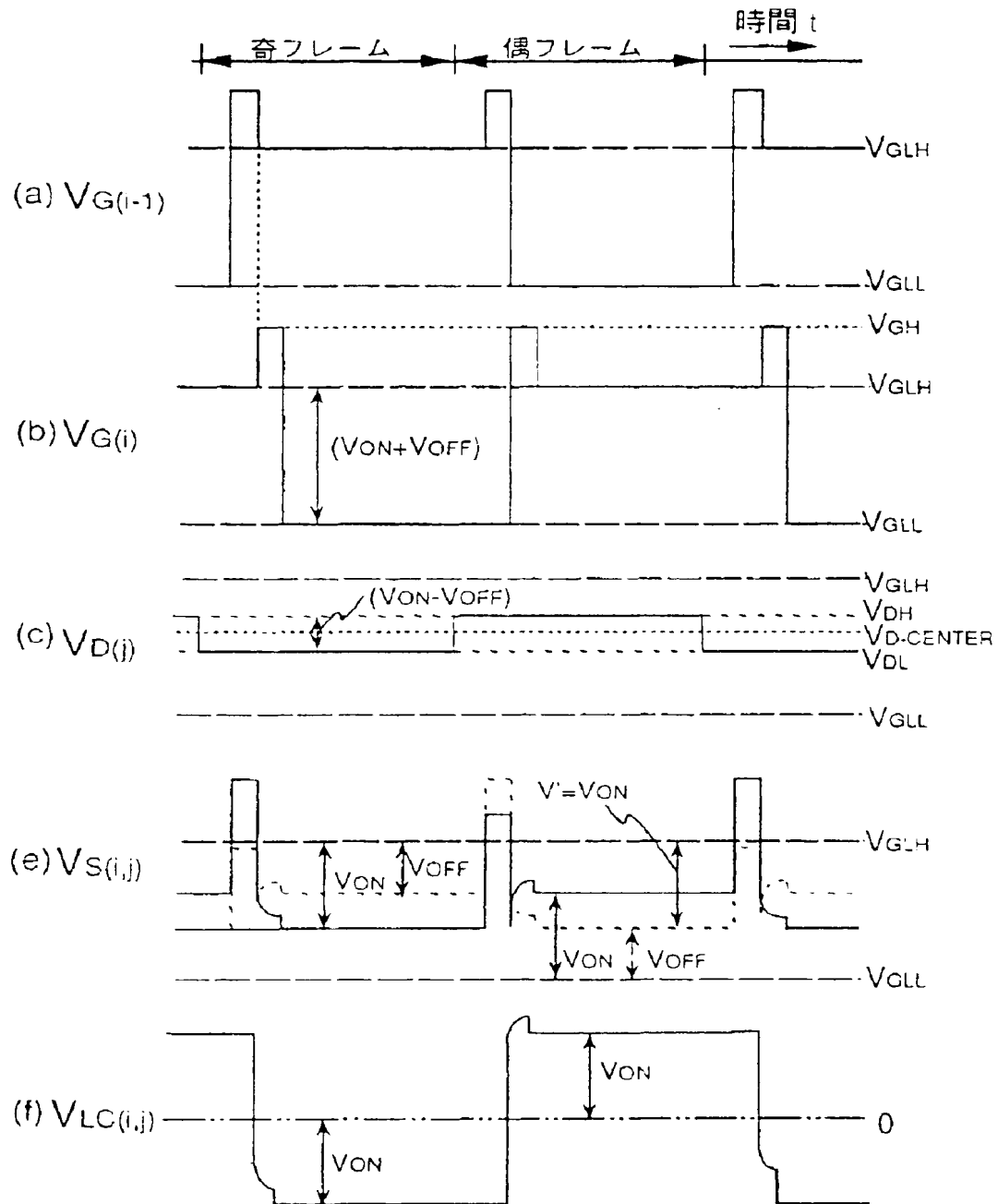
【図17】

図17

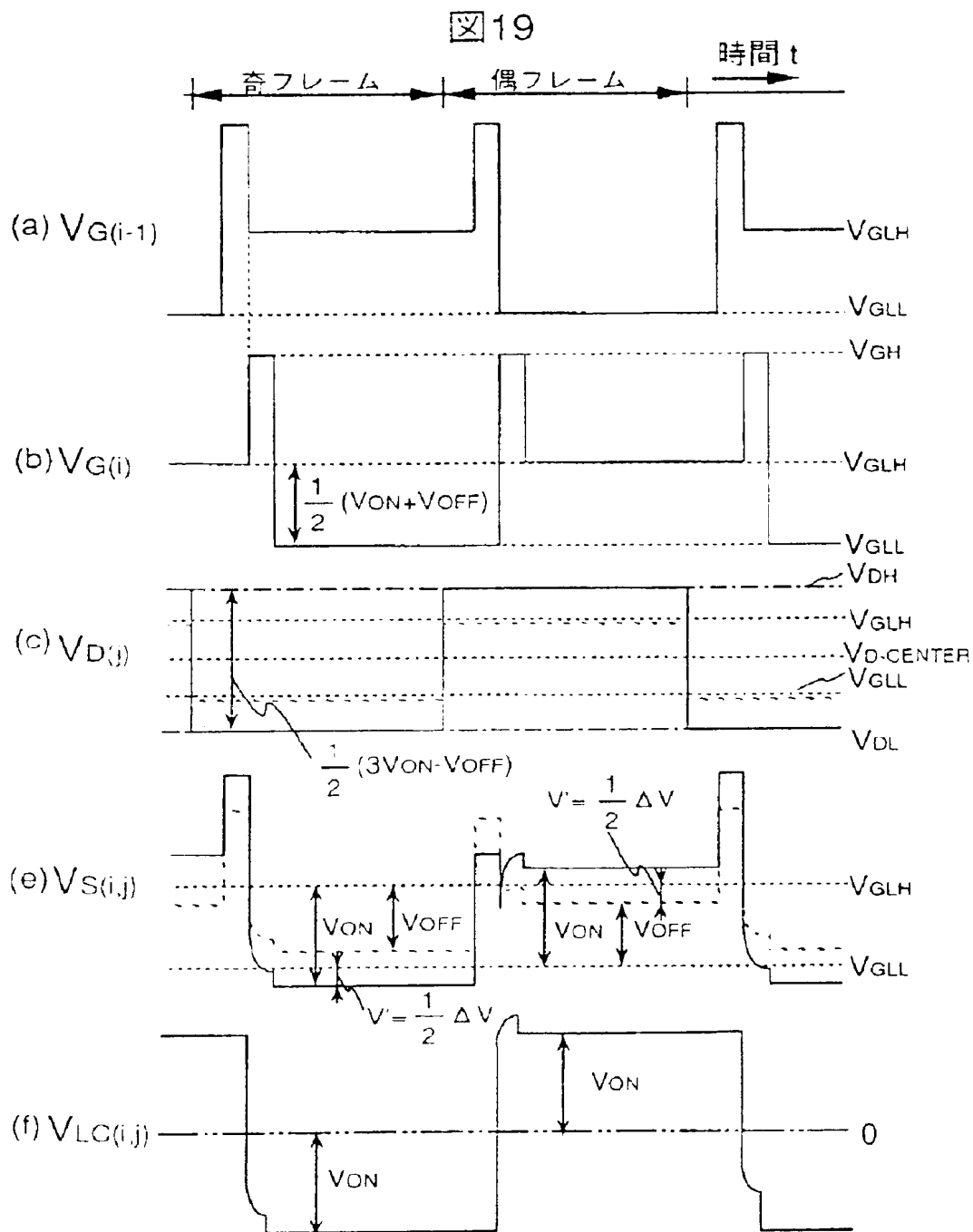


【図18】

図18

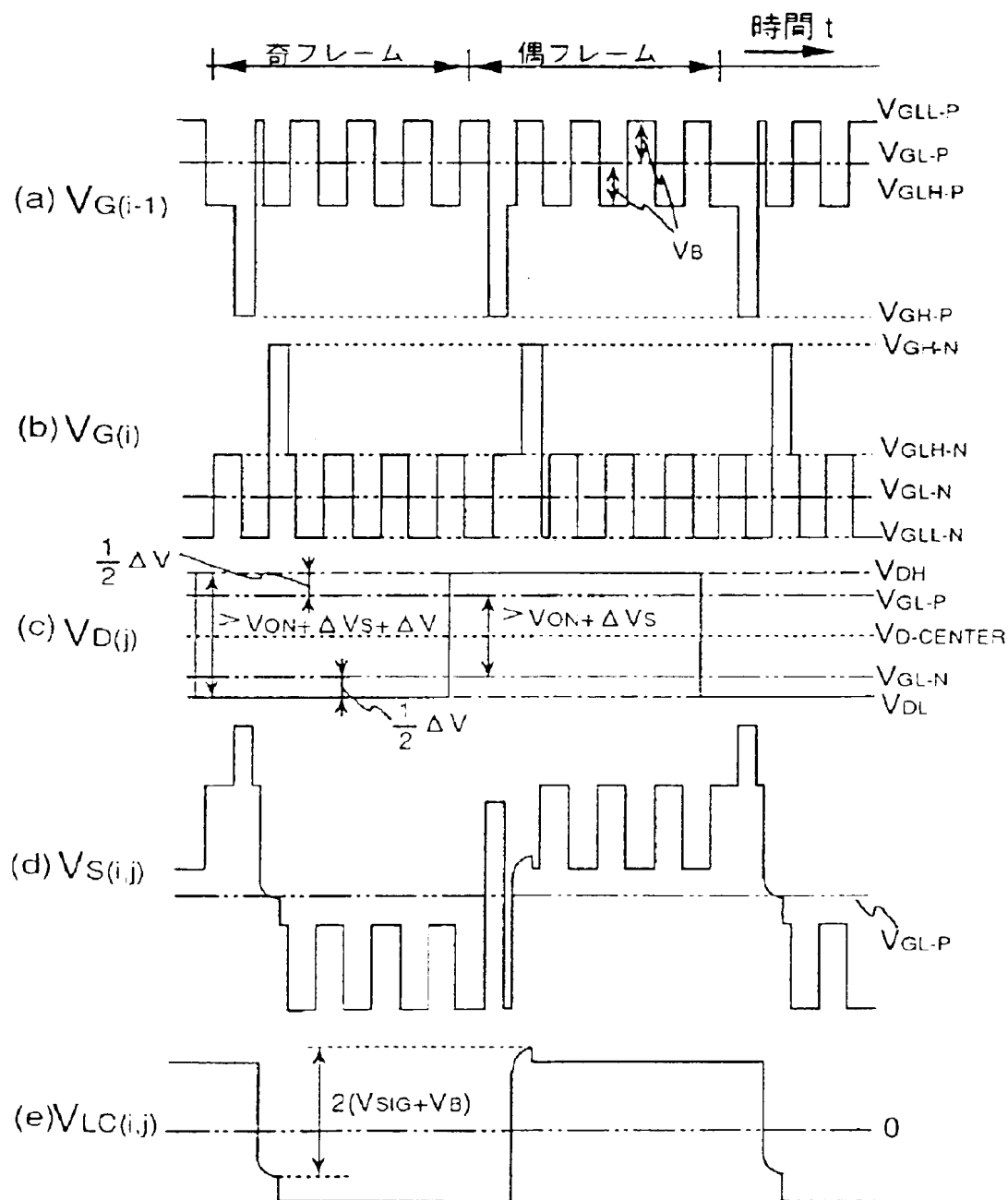


【図19】



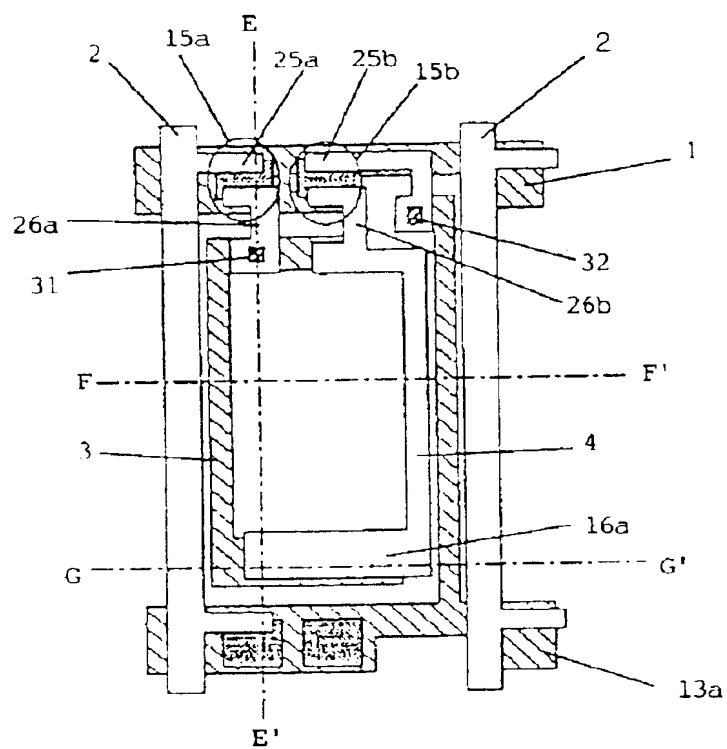
【図20】

図20



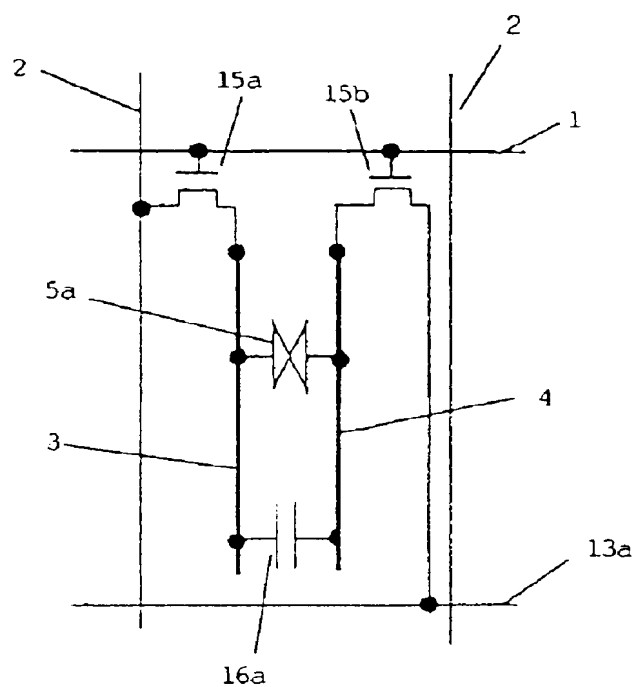
[421]

図 2 1



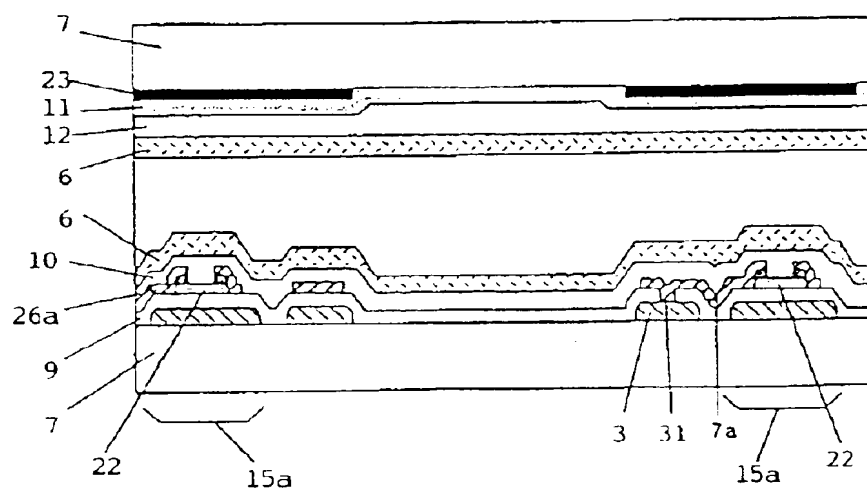
【图22】

图 22



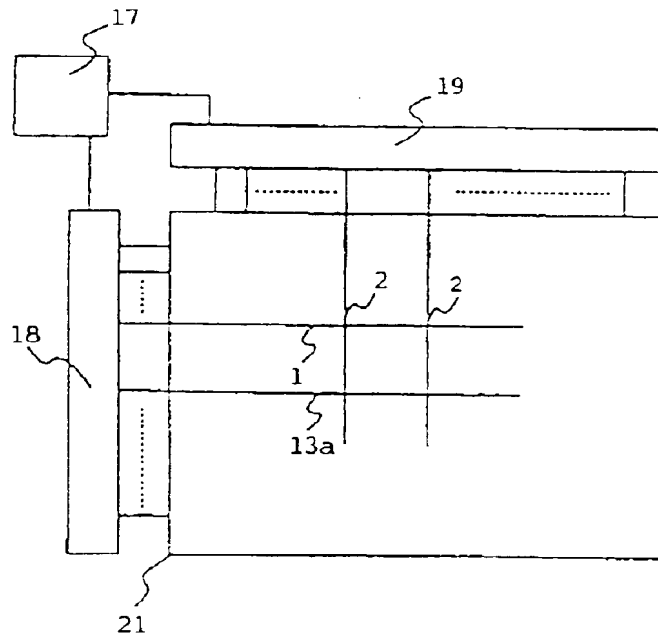
【图23】

图 23



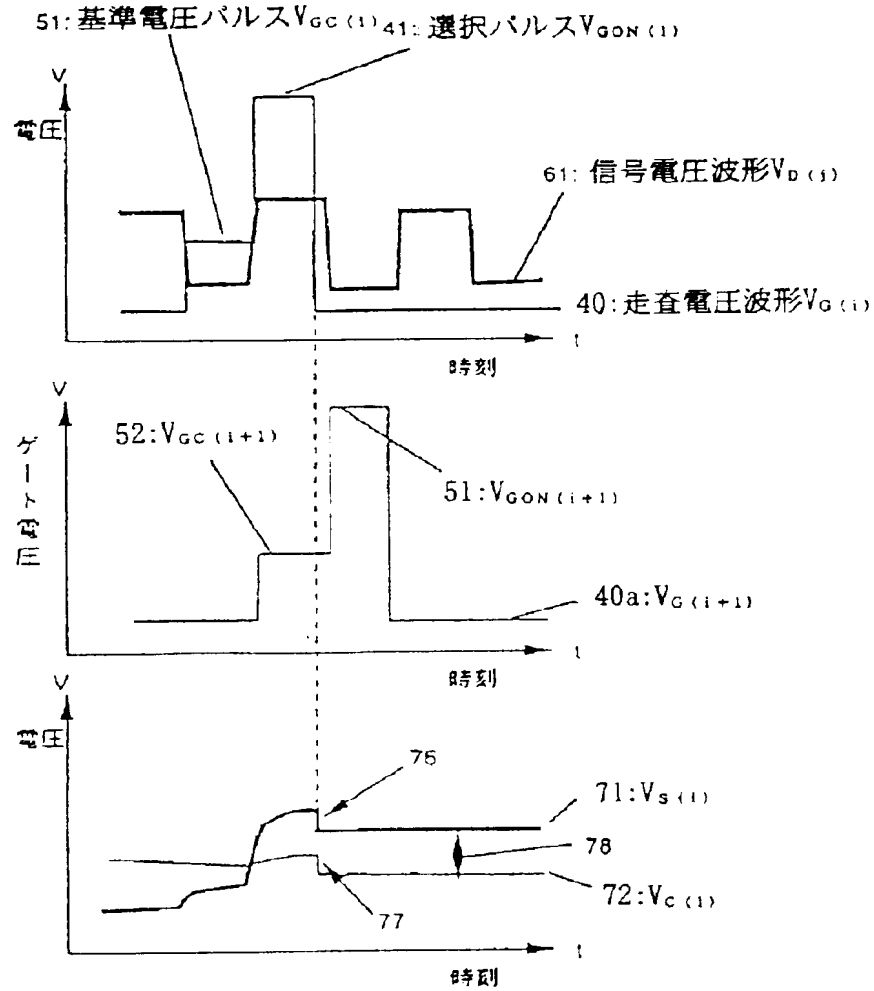
【図 26】

図 26



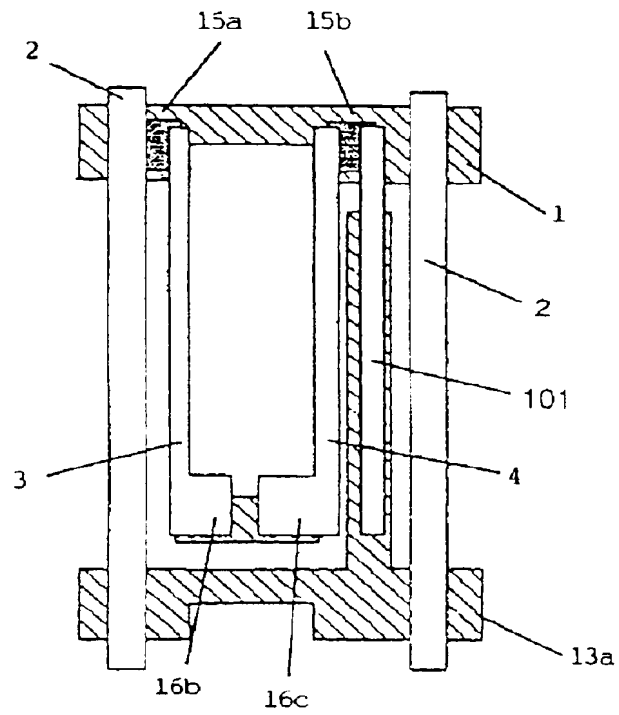
【図27】

図 27



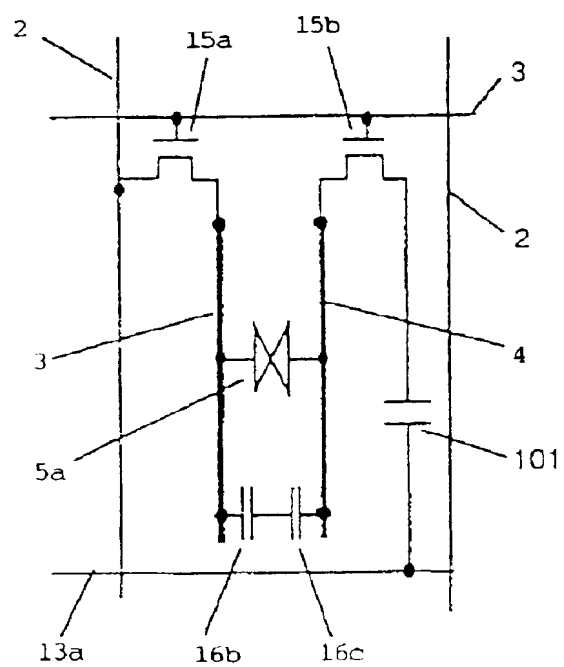
【図28】

図 28



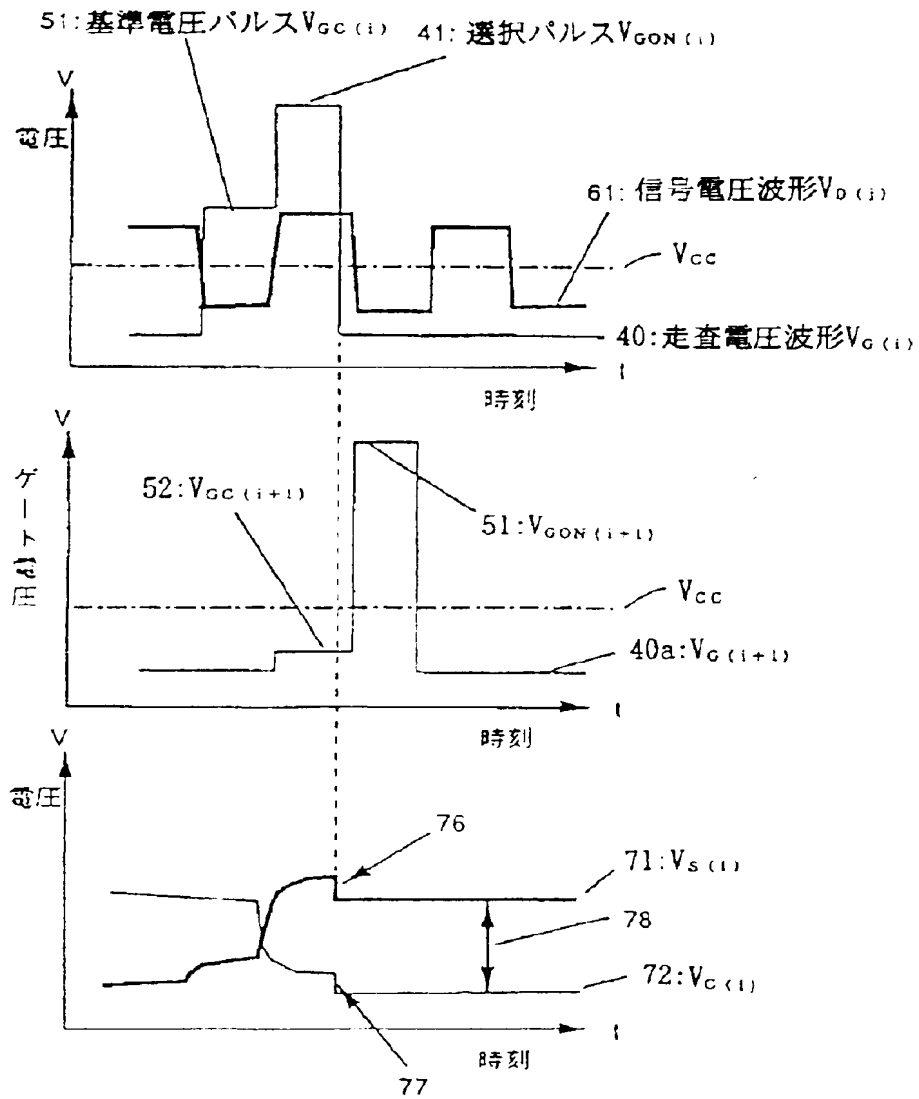
[429]

图 29



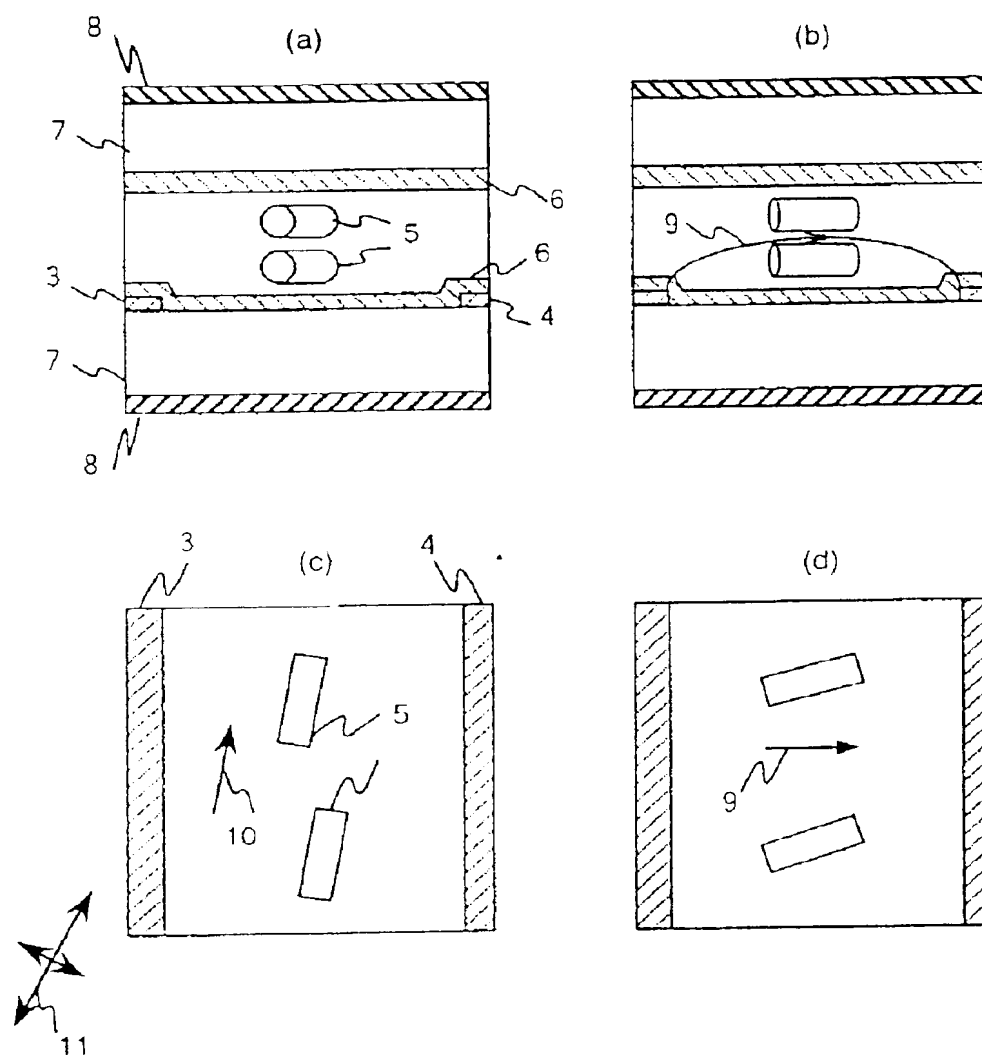
【図30】

図 30



[[431]]

图 3 1



(注) この公表は、国際事務局 (WIPO) により国際公開された公報を基に作成されたものである。

なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第184条の10第1項 (実用新案法第48条の13第2項) により生ずるものであり、本掲載とは関係ありません。

国際調査報告

国際出願番号 PCT/JP

94/01020

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	& US, A, 5 1 5 1 8 0 5 特許請求の範囲, 第 3 頁右上欄第 1 4 行-右下欄第 1 0 行, 第 5 頁右上欄第 1 7 行-第 6 頁左上欄第 5 行, 第 6 頁左下欄 第 1 7 行-右下欄第 9 行, 第 7 頁左上欄第 6 行-右上欄第 4 行, 第 1 - 1 7 図 (同上)	1-7, 9-11, 13-15, 18 8, 12, 16
Y A	JP, A, 2-293722 (富士通株式会社), 4. 12月. 1990 (04. 12. 90) (ファミリーなし) 第 2 頁右下欄第 7 行-第 3 頁左上欄第 1 4 行, 第 1, 2 図 (同上)	7, 17, 18 8
Y A	JP, A, 63-225284 (富士通株式会社), 20. 9月. 1888 (20. 09. 88) (ファミリーなし) 特許請求の範囲, 第 3 頁左上欄第 1 - 2 0 行, 第 1 図 (同上)	6 16

【国際調査報告】

国際調査報告		国際出願番号 PCT/JP 94/01020	
A. 発明の属する分野の分類(国際特許分類(IPC))			
Int. Cl. ⁸ G02F1/133, G02F1/136			
B. 調査を行った分野			
調査を行った最小限資料(国際特許分類(IPC))			
Int. Cl. ⁸ G02F1/1343, G02F1/136			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1926-1994年 日本国公報実用新案公報 1971-1994年			
国際調査で使った電子データベース(データベースの名称、調査に使用した用語)			
Fターム, FI(テーマコード2H092) ECLA(G02F1/1343, G02F1/136)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y A	JP, B2, 63-21907(シチズン時計株式会社), 10. 5月. 1988(10. 05. 88) & US, A, 4345249 & GB, B2, 2069213 特許請求の範囲, 第7欄第2-37行, 第2, 5-7, 9-13図 (同上) JP, A, 3-168617(松下電器産業株式会社), 22. 7月. 1991(22. 07. 91)	1-7, 9-11, 13-15, 17, 18 8, 12, 16	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」先行文献ではあるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す) 「O」口頭による開示、使用、展示等に関する文献 「P」国際出願日以前で、かつ優先権の主張の基礎となる出願の日以後に公表された文献		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 20. 12. 94		国際調査報告の発送日 24.01.95	
名称及びあて先 日本国特許庁(ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号		特許庁審査官(権限のある職員) 福島浩司 電話番号 03-3581-1101 内線 3254	

【図34】

図 3 4

